

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)



① BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 197 02 102 A 1

⑤ Int. Cl.⁶:
H 01 L 29/78
H 01 L 29/739
H 01 L 21/8234

② Aktenzeichen: 197 02 102.6
② Anmeldetag: 22. 1. 97
④ Offenlegungstag: 24. 7. 97

DE 197 02 102 A 1

③ Unionspriorität:

007935/96 22.01.96 JP

⑦ Anmelder:

Fuji Electric Co., Ltd., Kawasaki, Kanagawa, JP

⑦ Vertreter:

Blumbach, Kramer & Partner, 81245 München

⑦ Erfinder:

Fujihira, Tatsuhiko, Kawasaki, Kanagawa, JP

⑤ Halbleitervorrichtung und Verfahren zur Herstellung der Halbleitervorrichtung

⑤ Es wird ein Halbleiterbauelement beschrieben, das eine Driftregion aufweist, in der ein Driftstrom im Einschaltzustand des Halbleiterbauelements fließt, während die Driftregion verarmt ist, wenn sich das Halbleiterbauelement im Ausschaltzustand befindet. Die Driftregion ist mit einer Gestaltung versehen, die eine Mehrzahl von unterteilten Driftregionen eines ersten Leitungstyps und eine Mehrzahl von Zwischenregionen eines zweiten Leitungstyps enthält, wobei jede Zwischenregion parallel zwischen den benachbarten Driftregionen zur Ausbildung jeweiligen pn-Übergänge angeordnet ist.

DE 197 02 102 A 1

Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung bzw. ein Halbleiterelement mit einer großen Stromkapazität oder Stromtragfähigkeit und einer hohen Breakdown-Spannung bzw. Durchbruchspannung, wie etwa auf einen Metalloxid-Halbleiter-Feldeffekttransistor (MOSFET), einen bipolaren Transistor mit isoliertem Gate (IGBT), einen bipolaren Transistor oder eine Halbleiterdiode. Weiterhin bezieht sich die vorliegende Erfindung auch auf ein Verfahren zur Herstellung einer solchen Halbleitervorrichtung.

Im allgemeinen kann der Aufbau von Halbleiterelementen grob in zwei Arten unterteilt werden: in einen lateralen Aufbau, bei dem sich ein elektrischer Kontaktabschnitt an einer seiner Seiten befindet; und in einen vertikalen Aufbau, bei dem sich elektrische Kontaktabschnitte an seinen beiden Seiten befinden.

Ein Beispiel für ein Halbleiterelement, das einen lateralen Aufbau aufweist, ist ein SOI-MOSFET (SOI = silicon on insulator = Silizium auf Isolator; MOSFET = Metalloxid-Silizium-Feldeffekttransistor), wie er in den Fig. 1A und 1B gezeigt ist. Hierbei ist in Fig. 1A eine Draufsicht auf das Halbleiterelement dargestellt, während in Fig. 1B eine Querschnittsansicht des Halbleiters entlang einer Linie A-A' in Fig. 1A dargestellt ist.

Ein Aufbau des SOI-MOSFET basiert auf einer versetzten Gatestruktur (Offset-Gate-Struktur) eines MOSFET mit n-Kanal, bei dem eine Kanaldiffusionsschicht 7 des Leitungstyps p, eine schwach dotierte Drainregion 90 (Drain-Drift-Region) des Leitungstyps n⁺ oder n, und eine Drainregion 9 des Leitungstyps n⁺ auf einer Basisplatte 5 aus Halbleiter unter Zwischenlage einer isolierenden Membran oder Schicht 6 in dieser Reihenfolge ausgebildet sind. Darüber hinaus ist eine Sourceregion 8 des Leitungstyps n⁺ auf einem Teil einer Oberfläche der Kanaldiffusionsschicht des Leitungstyps p ausgebildet, und es ist weiterhin eine isolierende Schicht 12 auf einer Region gebildet, die sich von einem Endabschnitt der Region 8 bis zu einem Ende der Drainregion 9 des Leitungstyps n⁺ erstreckt. Insbesondere weist der isolierende Film 12 in enger Nachbarschaft zu der vorstehend erwähnten Sourceregion des Leitungstyps n⁺ einen Abschnitt 10 auf, der dünner ist als der übrige Abschnitt und der auf der Grenze zwischen der Kanaldiffusionsschicht 7 des Leitungstyps p und der schwach dotierten Drainregion 90 des Leitungstyps n positioniert ist. Eine Gateelektrode 11 ist derart ausgebildet, daß sie den dünnen Abschnitt des isolierenden Films bis hin zu dessen dickem Abschnitt überdeckt.

Die schwach dotierte Drainregion 90 kann als eine Driftregion betrieben werden, in der Ladungsträger durch die Wirkung eines elektrischen Felds transportiert werden, wenn sich der MOSFET in dem Einschaltzustand befindet. Falls sich die schwach dotierte Drainregion 90 im Ausschaltzustand befindet, wird sie demgegenüber zu einer Verarmungsregion, wodurch sich eine an sie angelegte Feldstärke verringert, was zu einer Erhöhung der Durchbruchspannung führt. Es ist möglich, ihren Driftwiderstand dadurch zu verringern, daß die Konzentration der Verunreinigungen in der schwach dotierten Drainregion 90 vergrößert wird und daß die Länge des Ladungsflusses bzw. die durch die Region 90 führende Stromweglänge verkürzt wird. Als Ergebnis kann der wesentliche Teil des Einschaltwiderstands (Widerstand zwischen Source und Drain) des MOSFET verringert werden. In diesem Fall ist es jedoch schwierig, die Grenzen der Verarmungsschicht zwischen der Drain

und dem Kanal auszudehnen, die sich ausgehend von dem pn-Übergang zwischen der Kanaldiffusionsschicht 7 des Leitungstyps p und der schwach dotierten Drainregion 90 des Leitungstyps n entwickelt, so daß die maximale zulässige (kritische) elektrische Feldstärke des Siliziums bereits zu einem früheren Zeitpunkt erreicht wird, was zu einer Verringerung der Durchbruchspannung (Drain-Source-Spannung) führt. Dies bedeutet, daß eine gegenläufige Beziehung zwischen dem Einschaltwiderstand bzw. Widerstand im Einschaltzustand (Stromkapazität oder Stromtragfähigkeit und der Durchbruchspannung besteht. Bekanntlich besteht auch bei den Halbleitern wie etwa bipolaren Transistoren mit isoliertem Gate (IGBT), bipolaren Transistoren und Halbleiterdioden, die vorstehend erläuterte gegenläufige Beziehung.

Es wird nun auf die Fig. 2A und 2B bezug genommen. Dort ist ein weiteres Beispiel für herkömmliche MOSFETs dargestellt, die einen nachfolgend in größeren Einzelheiten beschriebenen lateralen Aufbau besitzen. Fig. 2A zeigt eine Querschnittsansicht eines MOSFETs mit p-Kanal, während in Fig. 2B ein Querschnitt eines MOSFETs mit doppelter Diffusion und n-Kanal dargestellt ist.

Der in Fig. 2A gezeigte MOSFET mit p-Kanal weist eine Kanaldiffusionsschicht 3 des Leitungstyps n, die auf einer Halbleiterschicht 4 des Leitungstyps p ausgebildet ist, eine Gateelektrode 11 mit einer Feldplatte, die auf der Diffusionsschicht 3 unter Zwischenlage eines Gateisolationsfilms 10 ausgebildet ist, eine Sourceregion 18 des Leitungstyps p⁺, die auf einem Teil der Diffusionsschicht 3 in enger Nähe zu einem Ende der Gateelektrode 11 ausgebildet ist, eine schwach dotierte Drainregion 14 (Drain-Drift-Region) des Leitungstyps p, die als eine Senke ausgebildet ist, von der sich ein Ende in unmittelbarer Nähe zu dem anderen Ende der Gateelektrode 11 befindet, eine Kontaktregion 71 des Leitungstyps n⁺ benachbart zu der Sourceregion 18 des Leitungstyps p⁺ und einen dicken Isolierfilm 12 auf, der auf der schwach dotierten Drainregion 14 des Leitungstyps p ausgebildet ist. Bei diesem Aufbau kann daher der Einschaltwiderstand bzw. Ein-Widerstand des MOSFET und dessen Durchbruchspannung bezüglich deren gegenläufiger Beziehung auf der Grundlage der Länge des Strömungswegs der elektrischen Ladungen durch die schwach dotierte, senkenförmige Form aufweisende Drainregion 14 des Leitungstyps p und die Konzentration von deren Verunreinigungen (Dotiermaterial) definiert werden.

Der in Fig. 2B gezeigte MOSFET mit n-Kanal des Typs mit doppelter Diffusion weist eine schwach dotierte Drainschicht 22 (Drain-Drift-Schicht) des Leitungstyps n, die auf einer Halbleiterschicht 4 des Leitungstyps p ausgebildet ist, eine Gateelektrode 11 mit einer Feldplatte, die auf der schwach dotierten Drainschicht 22 unter Zwischenlage eines Gateisolationsfilms ausgebildet ist, eine Kanaldiffusionsregion 17 des Leitungstyps p, die auf einem Teil der Diffusionsschicht 22 in enger Nähe zu einem Ende der Gateelektrode 11 ausgebildet ist, eine Sourceregion 8 des Leitungstyps n⁺, die als eine Senke in der Kanaldiffusionsregion 17 des Leitungstyps p gebildet ist, eine Drainregion 9 des Leitungstyps n⁺, die als eine Senke ausgebildet ist, die im Abstand zu der Sourceregion 8 des Leitungstyps n⁺ und der Gateelektrode 11 angeordnet ist, eine senkenförmig ausgebildete obere Schicht 24 des Leitungstyps p, die auf einer Oberflächenschicht zwischen der Gateelektrode 11 und der Drainelektrode 9 des Leitungstyps n⁺ ausgebildet ist,

eine Kontaktregion 72 des Leitungstyps p^+ benachbart zu der Sourceregion 8 des Leitungstyps n^+ , und einen dicken Isolierfilm 12 auf, der auf der oberen Schicht 24 des Leitungstyps p^+ ausgebildet ist. Bei diesem Aufbau kann daher der Einschaltwiderstand bzw. Durchschaltwiderstand und die Durchbruchsspannung hinsichtlich ihrer gegenläufigen Beziehung auf der Grundlage der Länge des Strömungswegs der elektrischen Ladungen durch die schwach dotierte Drainregion 22 des Leitungstyps n mit senkenförmiger Gestalt, und der Konzentration ihrer Verunreinigungen festgelegt werden.

Bei der Gestaltung gemäß Fig. 2B ist jedoch die schwach dotierte Drainschicht 22 des Leitungstyps n sandwichartig zwischen der Halbleiterschicht 4 des Leitungstyps p und der oberen Schicht 24 des Leitungstyps p^+ angeordnet, so daß ein Aufbau bereitgestellt werden kann, der eine hohe Durchbruchsspannung besitzt, wenn sich der MOSFET im Ausschaltzustand befindet, da die schwach dotierte Drainschicht 22 zu einem früheren Zeitpunkt aufgrund der Verbreiterung der Verarmungsschicht nicht nur ausgehend von den pn -Übergängen Ja, die mit der Kanaldiffusionsregion 18 des Leitungstyps p gebildet werden, sondern auch ausgehend von den pn -Übergängen Jb an den oberen und unteren Seiten der schwach dotierten Drainschicht 22 des Leitungstyps n verarmt wird, wobei die Konzentration der Verunreinigungen bzw. der Dotierung in der schwach dotierten Drainschicht 22 vergrößert werden kann.

Fig. 3 zeigt einen MOSFET mit n -Kanal des Typs mit Trench-Gate bzw. grabenförmigem Gate, der ein Beispiel für ein vertikales Halbleiterelement darstellt. Der MOSFET mit n -Kanal ist eine schwach dotierte Drainschicht 39 des Leitungstyps n , die auf einer Drainschicht 29 des Leitungstyps n^+ ausgebildet ist, wobei die Drainschicht 29 elektrisch mit einer nicht dargestellten Rückseitelektrode kontaktiert ist, eine oder mehrere Trench-Gate-Elektroden 21 (grabenförmige Gateelektrode), die unter Zwischenlage eines Gateisolierfilms 10 in einem Graben eingebettet ist/sind, der auf einer Oberfläche der schwach dotierten Drainschicht 39 ausgebildet ist, eine oder mehrere Kanaldiffusionsschichten 27 des Leitungstyps p , die auf einer Oberfläche der schwach dotierten Drainschicht 39 in einer relativ schmalen Tiefe, verglichen mit derjenigen der grabenförmigen Gateelektroden 21, ausgebildet ist/sind, eine oder mehrere Source-Regionen 18 des Leitungstyps n^+ , die entlang einer oberen Kante der grabenförmigen Gateelektrode 21 ausgebildet sind, und einen oder mehrere dicke Isolierfilme 12 auf, der als eine Abdeckung für die Gateelektrode 21 dient. Hierbei ist es auch möglich, einen IGBT-Aufbau des Leitungstyps n herzustellen, bei dem anstelle der einzigen, als Schicht aufgetragenen Drainschicht 29 des Leitungstyps n^+ eine doppelte Struktur eingesetzt wird, die aus einer oberen Schicht des Leitungstyps n^+ und einer unteren Schicht des Leitungstyps p^+ hergestellt ist. Bei dieser Art eines vertikalen Aufbaus wirkt daher die schwach dotierte Drainregion 29 als eine Driftregion, die zur Führung eines Driftstroms in der vertikalen Richtung dient, wenn der MOSFET im eingeschalteten Zustand ist, wohingegen sie verarmt ist und hierdurch ihre Durchbruchsspannung erhöht, wenn der MOSFET sich im ausgeschalteten Zustand befindet. In diesem Fall können der Durchschaltwiderstand und die Durchbruchsspannung des MOSFET hinsichtlich ihrer gegenläufigen Beziehung auf der Grundlage der Dicke der schwach dotierten Drainschicht 39 und der Konzentration ihrer Dotierung festgelegt werden.

Fig. 4 zeigt eine graphische Darstellung, in der die Beziehung zwischen einer idealen Durchbruchsspannung und einem idealen Durchschaltwiderstand eines MOSFET aus Silizium mit n -Kanal dargestellt ist. Bei dieser Figur ist die Unterstellung getroffen, daß die Durchbruchsspannung nicht durch die Wirkung der Formgebung verringert werden kann und der ideale Durchschaltwiderstand sehr klein und ausreichend gering ist, um den elektrischen Widerstandswert der Regionen mit Ausnahme der schwach dotierten Drainregion vernachlässigen zu können.

In Fig. 4 bezeichnet die Linie A die Beziehung zwischen einer idealen Durchbruchsspannung und einem idealen Durchschaltwiderstand des in Fig. 3 gezeigten MOSFET mit n -Kanal und vertikaalem Aufbau. Die Linie B stellt die Beziehung zwischen einer idealen Durchbruchsspannung und dem idealen Durchschaltwiderstand des MOSFET mit n -Kanal dar, der unter Ersatz der kanalförmigen Auslegung des MOSFET gemäß Fig. 2A hergestellt ist. Die Linie D repräsentiert die Beziehung zwischen einer idealen Durchbruchsspannung und einem idealen Durchschaltwiderstand des vertikal aufgebauten MOSFET gemäß Fig. 2B mit doppelt diffundiertem n -Kanal, wohingegen die Linie C die Beziehung zwischen einer idealen Durchbruchsspannung und einem idealen Durchschaltwiderstand eines in Fig. 11 gezeigten MOSFET mit n -Kanal zeigt.

Der vertikale, einen n -Kanal aufweisende MOSFET ist derart aufgebaut, daß er an die Strömungsrichtung des Driftstroms in dem Einschaltzustand und an die Richtung der Ausbreitung der Verarmungsschicht, die durch eine umgekehrte Vorspannung in dem Ausschaltzustand hervorgerufen wird, angepaßt ist. Wenn lediglich die schwach dotierte Drainschicht 39 gemäß Fig. 3 betrachtet wird, läßt sich für die Durchbruchsspannung BV zum Zeitpunkt des Ausschaltmodus bzw. des ausgeschalteten Zustands ein angenäherter Wert für diese Durchbruchsspannung BV anhand der nachfolgenden Gleichung erhalten:

$$BV = E_C^2 \epsilon_0 \epsilon_{Si} \alpha (2 - \alpha) / 2q N_D \quad (1).$$

Hierbei bezeichnet E_C den Wert $E_C(N_D)$, der die maximale elektrische Feldstärke bei Silizium bei einer Dotierungskonzentration von N_D darstellt, ϵ_0 die Elektrizitätskonstante von Vakuum, ϵ_{Si} die relative Dielektrizitätskonstante von Silizium, q eine Einheitsladung, N_D die Verunreinigungskonzentration der schwach dotierten Region, und α einen Faktor ($0 < \alpha < 1$).

Darüber hinaus läßt sich der ideale Durchschaltwiderstand je Flächeneinheit im Einschaltzustand annähernd aufgrund der nachstehenden Gleichung erhalten:

$$R = \alpha W / \mu q N_D.$$

Hierbei bezeichnet μ den Wert $\mu(N_D)$, der die Beweglichkeit von Elektronen bei der Dotierungskonzentration von N_D darstellt, und W einen Wert, der gleich $E_C \epsilon_0 \epsilon_{Si} / q N_D$ ist.

Daher läßt sich R durch die nachstehende Gleichung angeben:

$$R = E_C \epsilon_0 \epsilon_{Si} \alpha / \mu q^2 N_D^2 \quad (2).$$

Hierbei läßt sich $q N_D$ aus der Gleichung (2) entfer-

nen, indem die Gleichung (1) sowie ein optimaler Wert für α , beispielsweise der Wert $2/3$, eingesetzt wird, so daß sich die nachstehende Gleichung ergibt:

$$R = BV^2 (27/8 E_c^3 \epsilon_0 \epsilon_{Si} \mu) \quad (3).$$

In dieser Gleichung scheint der Durchschaltwiderstand R proportional zu dem Quadrat der Durchbruchspannung BV zu sein. Jedoch ist die Linie A in Fig. 4 grob proportional zu dem mit dem Exponenten von 2,4 bis 2,6 potenzierten Wert von BV .

In dem Fall eines Aufbaus eines MOSFET mit Kanal n , der durch Ersetzen des in Fig. 2A gezeigten kanalförmigen Typs des MOSFETs hergestellt ist, fließt der Driftstrom in der lateralen Richtung, wenn sich der MOSFET in dem Einschaltmodus bzw. Einschaltzustand befindet, wohingegen sich die Verarmungsschicht von dem Boden der Senke nach oben (in der vertikalen Richtung) erheblich schneller als in der lateralen Ausbreitungsrichtung von einem Ende der Senke ausbreitet. Zur Erzielung einer höheren Durchbruchspannung in der Verarmungsschicht, die sich in der vertikalen Richtung ausbreitet, sollte diese von einer Grenzfläche an dem pn-Übergang (das heißt an dem Boden der Senke) zwischen der schwach dotierten Drainregion 14 und der Kanaldiffusionsschicht 3 hin zu einer Oberfläche der schwach dotierten Drainregion 14 (das heißt hin zur Oberfläche der Senke) verarmen, so daß der maximale Wert der Netto-Dotierungsmenge in der schwach dotierten Drainregion 14 gemäß der nachstehend angegebenen Gleichung begrenzt werden kann:

$$S_D = E_c \epsilon_c \epsilon_{Si} / q \quad (4).$$

Wenn die Länge der schwach dotierten Drainregion 14 als L definiert wird, läßt sich die ideale Durchbruchspannung BV durch die folgende Gleichung darstellen:

$$BV = E_c L \beta \quad (5).$$

Hierbei bezeichnet β einen Faktor zwischen Null und Eins ($0 < \beta < 1$).

Weiterhin läßt sich der ideale Einschaltwiderstand R je Flächeneinheit in dem Einschaltmodus annähernd gemäß der nachstehend angegebenen Gleichung erhalten:

$$R = L^2 / \mu q S_D \quad (6).$$

Hierbei bezeichnet μ die Ladungsträgerbeweglichkeit (S_D), die die Beweglichkeit der Elektronen bei der maximalen Verunreinigungskonzentration von S_D bezeichnet.

Bei Einsetzen der Gleichungen (4) und (5) läßt sich somit L aus der Gleichung (6) beseitigen, wobei sich die nachstehende Gleichung ergibt:

$$R = BV^2 / \beta^2 E_c^3 \epsilon_0 \epsilon_{Si} \mu \quad (7).$$

In dem Fall des vertikal aufgebauten, doppelt diffundierten MOSFETs mit Kanal n , wie er in Fig. 2B gezeigt ist, liegt ein Aufbau vor, bei dem eine obere Schicht 24 des Leitungstyps p auf der in Fig. 2A gezeigten Gestaltung des MOSFETs ausgebildet ist. Daher breitet sich die Verarmungsschicht in der vertikalen Richtung aus, und es kann folglich die schwach dotierten Drainschicht 22 rasch verarmt werden. Wie in der nachstehenden Gleichung (8) gezeigt ist, kann die Netto-Dotierungsmenge S_D in der schwach dotierten Region 2 auf das

doppelte derjenigen gemäß Fig. 2A vergrößert werden:

$$S_D = 2 E_c \epsilon_0 \epsilon_{Si} / q \quad (8).$$

In diesem Fall läßt sich die Beziehung zwischen einem idealen Durchschaltwiderstand R und einer idealen Durchbruchspannung bei dem vorstehend erläuterten Aufbau durch die nachstehende Gleichung wiedergeben:

$$R = BV^2 / 2 \beta^2 E_c^3 \epsilon_0 \epsilon_{Si} \mu \quad (9).$$

Aus einem Vergleich zwischen der vorstehend angegebenen Gleichung (7) und der Gleichung (9) ist ersichtlich, daß die gegenläufige Beziehung (Linie B in Fig. 4) zwischen dem Einschaltwiderstand und der Durchbruchspannung des vertikal aufgebauten MOSFETs mit n -Kanal, wie er in Fig. 2B gezeigt ist, geringfügig gegenüber der gegenläufigen Beziehung (Linie C in Fig. 4) zwischen dem Einschaltwiderstand und der Durchbruchspannung des MOSFETs mit n -Kanal verbessert ist, der durch Ersetzen des Kanal-Typs des MOSFETs gemäß Fig. 2A hergestellt ist. In diesem Fall ermöglicht die Verbesserung jedoch lediglich eine doppelt so hohe Dotierungskonzentration wie bislang, und ergibt somit keine erhebliche Flexibilität hinsichtlich der Gestaltungskriterien bezüglich der Stromtragfähigkeit und der Durchbruchspannung des Halbleiters.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung zu schaffen, bei der die Beziehung zwischen dem Einschaltwiderstand und der Durchbruchspannung entschärft ist, um hierdurch eine Vergrößerung der Stromkapazität bzw. Stromtragfähigkeit aufgrund einer Verringerung des Durchschaltwiderstands bei hoher Durchbruchspannung zu ermöglichen.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren zum Herstellen von Halbleiterbauelementen bzw. Halbleitervorrichtungen zu schaffen, das ein Ausrollen bzw. flexibleres Gestalten der Halbleitervorrichtungen ermöglicht.

Gemäß einem ersten Gesichtspunkt der vorliegenden Erfindung wird eine Halbleitervorrichtung geschaffen, die eine Driftregion enthält, in der ein Driftstrom fließt, wenn sich die Halbleitervorrichtung im Einschaltzustand befindet, und die verarmt ist, wenn sich die Halbleitervorrichtung im Ausschaltzustand befindet, wobei die Driftregion als eine Gestaltung ausgebildet ist, die eine Mehrzahl von unterteilten Driftpfadregionen eines ersten Leitungstyps, die parallel miteinander zur Bildung einer Gruppe von parallelen Driftpfaden verbunden sind, und eine Mehrzahl von Seitenregionen eines zweiten Leitungstyps aufweist, wobei jede der Seitenregionen des zweiten Leitungstyps zwischen benachbarten, unterteilten Driftpfadregionen des ersten Leitungstyps angeordnet ist, um mit diesen pn-Übergängen zu bilden.

Hierbei kann die Halbleitervorrichtung weiterhin mindestens eine zusätzliche zweite Seitenregion enthalten, die mit einer Außenseite einer unterteilten Driftpfadregion des ersten Leitungstyps verbunden ist, die an einer Außenseite der Gruppe der parallelen Driftpfade angeordnet ist.

Gemäß einem zweiten Gesichtspunkt der vorliegenden Erfindung ist eine Halbleitervorrichtung geschaffen, die eine Driftregion enthält, in der ein Driftstrom fließt, wenn sich die Halbleitervorrichtung im Einschaltzustand befindet, und die verarmt ist, wenn sich die Halb-

leitervorrichtung im Ausschaltzustand befindet, wobei der Driftstrom in seitlicher Richtung fließt und die Driftregion auf einem Halbleiter oder auf einem isolierenden Film auf dem Halbleiter ausgebildet ist, wobei die Driftregion als eine Struktur aus parallelen Streifen ausgebildet ist, in der eine Mehrzahl von streifenförmigen, unterteilten, leitenden Driftpfadregionen, insbesondere eines ersten Leitungstyps, und eine Mehrzahl von streifenförmigen Abteilregionen eines zweiten Leitungstyps abwechselnd parallel auf einer Ebene jeweils eine nach der anderen alternierend angeordnet sind.

Gemäß einem dritten Gesichtspunkt der vorliegenden Erfindung ist eine Halbleitervorrichtung geschaffen, die eine Driftregion aufweist, in der ein Driftstrom fließt, wenn sie sich im Einschaltzustand befindet, und die verarmt ist, wenn sie sich im Ausschaltzustand befindet, wobei der Driftstrom in seitlicher Richtung fließt und die Driftregion auf einem Halbleiter oder auf einem isolierenden Film auf dem Halbleiter ausgebildet ist, wobei die Driftregion als eine parallele, gestapelte Struktur ausgebildet ist, in der eine Vielzahl von schichtförmigen, unterteilten Driftpfadregionen, insbesondere des ersten Leitungstyps, und eine Mehrzahl von schichtförmigen Abteilregionen des zweiten Leitungstyps in einer Ebene parallel jeweils eine nach der anderen abwechselnd gestapelt angeordnet sind.

Gemäß einem vierten Gesichtspunkt der vorliegenden Erfindung ist eine Halbleitervorrichtung geschaffen, die eine Driftregion aufweist, in der ein Driftstrom fließt, wenn sich die Halbleitervorrichtung in dem Einschaltzustand befindet, und die verarmt ist, wenn sie sich im Ausschaltzustand befindet, wobei der Driftstrom in seitlicher Richtung fließt und die Driftregion auf einem Halbleiter des zweiten Leitungstyps ausgebildet ist, wobei die Driftregion

eine unterteilte Driftregion des ersten Leitungstyps, die auf der Halbleiterschicht des zweiten Leitungstyps ausgebildet ist, eine senkenförmige Abteilregion des zweiten Leitungstyps, die auf der unterteilten Driftregion bzw. Driftpfadregion des ersten Leitungstyps ausgebildet ist, und eine sekundäre, unterteilte Driftpfadregion des ersten Leitungstyps aufweist, die auf einer Oberflächenschicht der senkenförmigen Abteilregion des zweiten Leitungstyps ausgebildet ist und mit der unterteilten Driftpfadregion des ersten Leitungstyps parallel verbunden ist.

Gemäß einem fünften Gesichtspunkt der vorliegenden Erfindung ist eine Halbleitervorrichtung geschaffen, die eine Driftregion enthält, in der ein Driftstrom fließt, wenn sich die Halbleitervorrichtung im Einschaltzustand befindet, und die verarmt ist, wenn sich die Halbleitervorrichtung im Ausschaltzustand befindet, wobei der Driftstrom in einer vertikalen Richtung fließt und die Driftregion auf einem Halbleiter ausgebildet ist, wobei die Driftregion eine Mehrzahl von unterteilten Driftregionen eines ersten Leitungstyps, von denen jede einen Schichtenaufbau entlang der vertikalen Richtung besitzt und eine Mehrzahl von Abteilregionen des ersten Leitungstyps enthält, von denen jede einen Schichtenaufbau entlang der vertikalen Richtung aufweist, und die Mehrzahl von unterteilten Driftregionen des ersten Leitungstyps und die Mehrzahl von Abteilregionen des ersten Leitungstyps parallel jeweils einzeln nacheinander in einer Richtung, die rechtwinklig zu der vertikalen Richtung verläuft, gestapelt sind, um hierdurch eine seitlich gestapelte parallele Struktur zu bilden.

Gemäß einem sechsten Gesichtspunkt der vorliegenden Erfindung wird ein Verfahren zum Herstellen einer

Halbleitervorrichtung geschaffen, die eine Driftregion enthält, in der ein Driftstrom fließt, wenn sich die Halbleitervorrichtung im Einschaltzustand befindet, und die verarmt ist, wenn sie sich im Ausschaltzustand befindet, wobei der Driftstrom in einer seitlichen Richtung fließt und die Driftregion auf einem Halbleiter eines zweiten Leitungstyps ausgebildet ist, wobei die Driftregion eine unterteilte Driftregion des ersten Leitungstyps, die auf der Halbleiterschicht des zweiten Leitungstyps ausgebildet ist, eine senkenförmige Abteilregion des zweiten Leitungstyps, die auf der unterteilten Driftpfadregion bzw. Driftregion des ersten Leitungstyps ausgebildet ist, und eine sekundäre, unterteilte Driftpfadregion des ersten Leitungstyps enthält, die auf einer Oberflächenschicht der senkenförmigen Abteilregion des zweiten Leitungstyps ausgebildet und mit der unterteilten Driftpfadregion bzw. Driftregion des ersten Leitungstyps parallel verbunden ist, mit den Schritten:

Ausbilden einer unterteilten Driftpfadregion des ersten Leitungstyps auf einer aus Silizium bestehenden Halbleiterschicht des zweiten Leitungstyps mit Hilfe einer thermischen Diffusion nach Ausführung einer Phosphorionen-Implantation,

Ausbilden einer senkenförmigen Abteilregion des zweiten Leitungstyps auf der unterteilten Driftregion des ersten Leitungstyps mit Hilfe einer thermischen Diffusion nach Ausführung einer selektiven Borionen-Implantation, und

thermisches Oxidieren einer durch die selektive Borionen-Implantierung erhaltenen Struktur, um hierdurch eine sekundäre, unterteilte Driftpfadregion des ersten Leitungstyps auf einer Oberfläche derselben unter Ausnutzung der Konzentration der Phosphorionen, die auf der Oberfläche des Siliziums ungleichförmig verteilt sind, und einer Auflösung bzw. Verteilung von Borionen, die in einem oxidierten Film ungleichförmig verteilt sind, zu bilden.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen näher beschrieben.

Fig. 1A zeigt eine Draufsicht, in der ein Beispiel eines herkömmlichen SOI-MOSFETs mit vertikalem Aufbau dargestellt ist,

Fig. 1B zeigt eine Querschnittsansicht, die entlang der Linie A-A' in Fig. 1A geschnitten ist,

Fig. 2A zeigt eine Querschnittsansicht, in der ein weiteres Beispiel eines herkömmlichen MOSFETs dargestellt ist, der vertikal aufgebaut ist,

Fig. 2B zeigt einen Querschnitt, in dem ein Beispiel eines herkömmlichen MOSFETs mit n-Kanal in der Ausführungsform mit doppelter Diffusion veranschaulicht ist,

Fig. 3 zeigt einen Querschnitt, in dem ein Beispiel eines herkömmlichen MOSFETs mit n-Kanal in der Ausführung mit Graben-Gate dargestellt ist,

Fig. 4 zeigt eine graphische Darstellung, die die Beziehung zwischen einer idealen Durchbruchspannung und einem idealen Durchschaltwiderstand jedes MOSFETs aus Silizium mit n-Kanal zeigt,

Fig. 5A zeigt eine perspektivische Darstellung eines ersten Ausführungsbeispiels einer Driftregiongestaltung bei einer in Übereinstimmung mit der vorliegenden Erfindung stehenden Halbleiterbauelement (Halbleitervorrichtung),

Fig. 5B zeigt eine perspektivische Darstellung einer zweiten Ausführungsform der Gestaltung der Driftregion bei einer in Übereinstimmung mit der vorliegenden Erfindung stehenden Halbleitervorrichtung,

Fig. 5C zeigt eine perspektivische Darstellung einer dritten Ausführungsform der Gestaltung der Driftregion bei einem in Übereinstimmung mit der vorliegenden Erfindung stehenden Halbleiterbauelement.

Fig. 6A zeigt eine Draufsicht, in der ein SOI-MOSFET mit vertikalem Aufbau als ein erstes Ausführungsbeispiel der Halbleitervorrichtung in Übereinstimmung mit der vorliegenden Erfindung dargestellt ist.

Fig. 6B zeigt eine Querschnittsansicht, die entlang der Linie A-A' in Fig. 6A aufgenommen ist.

Fig. 6C zeigt eine Querschnittsansicht entlang einer Linie B-B' in Fig. 6A.

Fig. 7A zeigt eine Draufsicht, in der ein zweites Ausführungsbeispiel der Halbleitervorrichtung in Übereinstimmung mit der vorliegenden Erfindung in Form eines SOI-MOSFETs der Ausführungsform mit doppelter Diffusion dargestellt ist.

Fig. 7B zeigt einen Querschnitt, der entlang einer Linie A-A' in Fig. 7A aufgenommen ist.

Fig. 7C zeigt einen Querschnitt, der entlang einer Linie B-B' in Fig. 7A gesehen ist.

Fig. 8A zeigt eine Draufsicht, in der ein SOI-MOSFET in der Ausführungsform mit vertikalem Aufbau als ein drittes Ausführungsbeispiel der Halbleitervorrichtung in Übereinstimmung mit der vorliegenden Erfindung dargestellt ist.

Fig. 8B zeigt einen Querschnitt, der entlang der Linie A-A' in Fig. 8A geschnitten ist.

Fig. 8C zeigt eine Querschnittsansicht, die entlang der Linie B-B' in Fig. 8A geschnitten ist.

Fig. 9A zeigt eine Draufsicht auf einen MOSFET mit vertikalem Aufbau, der ein viertes Ausführungsbeispiel der Halbleitervorrichtung gemäß der vorliegenden Erfindung darstellt.

Fig. 9B zeigt eine Querschnittsansicht, die entlang einer Linie A-A' in Fig. 9A geschnitten ist.

Fig. 9C zeigt einen Querschnitt, der entlang einer Linie B-B' in Fig. 9A aufgenommen ist.

Fig. 10 zeigt eine Querschnittsansicht, in der ein MOSFET mit p-Kanal mit vertikalem Aufbau dargestellt ist, der ein fünftes Ausführungsbeispiel der Halbleitervorrichtung in Übereinstimmung mit der vorliegenden Erfindung bildet.

Fig. 11 zeigt eine Ansicht eines Querschnitts, in der ein MOSFET mit n-Kanal in einer Ausführungsform mit vertikalem Aufbau dargestellt ist, der ein sechstes Ausführungsbeispiel der Halbleitervorrichtung gemäß der vorliegenden Erfindung darstellt.

Fig. 12A zeigt eine Draufsicht, in der ein MOSFET mit n-Kanal und grabenförmigen Gate (Trench-Gate) in der Ausführungsform mit vertikalem Aufbau gezeigt ist, der ein siebtes Ausführungsbeispiel der Halbleitervorrichtung gemäß der vorliegenden Erfindung darstellt.

Fig. 12B zeigt eine Querschnittsansicht, die entlang einer Linie A-A' in Fig. 12A aufgenommen ist.

Fig. 12C zeigt eine Querschnittsansicht, die entlang einer Linie B-B' in Fig. 12A aufgenommen ist.

Fig. 12D zeigt eine Querschnittsansicht, die entlang einer Linie C-C' in Fig. 12A aufgenommen ist.

Fig. 12E zeigt eine Querschnittsansicht, die entlang einer Linie D-D' in Fig. 12A aufgenommen ist.

Fig. 12F zeigt eine Querschnittsansicht, die entlang einer Linie E-E' in Fig. 12A gesehen ist.

In Übereinstimmung mit der vorliegenden Erfindung weist die Halbleitervorrichtung eine Driftregion auf, in der ein Driftstrom in dem Einschaltzustand fließt und die in dem Ausschaltzustand verarmt ist. Die Driftregion ist als eine Struktur ausgebildet, die eine Mehrzahl

von unterteilten Unterstrukturen (das heißt unterteilten Regionen) mit paralleler Anordnung aufweist, wie etwa eine geschichtete Struktur, eine Faserstruktur oder eine Wabenstruktur, wie es in den Fig. 5A bis 5C gezeigt ist.

Darüber hinaus weist die Driftregion eine Mehrzahl von unterteilten Driftpfadregionen 1 eines ersten Leitungstyps und eine Mehrzahl von Abteil- oder Fachregionen 2 des zweiten Leitungstyps auf, wobei jede der Regionen 2 zwischen den benachbarten Regionen 1 angeordnet ist, um hierdurch pn-Übergänge zu bilden.

Gemäß Fig. 5A weist die Driftregion zum Beispiel eine Kurve aus parallelen Driftpfad-Unterstrukturen (das heißt eine komplexe Struktur) 100 auf, die aus mindestens zwei unterteilten Driftpfadregionen 1 eines ersten Typs (zum Beispiel des Leitungstyps n), von denen jede die Gestalt einer Platte besitzt, die mindestens an ihrem einen Ende parallel mit einer weiteren Platte verbunden sind, und mindestens einer Abteilregion bzw. Fach- oder Unterteilungs- bzw. Zwischenregion 2 eines zweiten Leitungstyps (zum Beispiel des Leitungstyps p) besteht, die sandwichförmig zwischen den unterteilten Driftpfadregionen 1, 1 angeordnet ist, so daß sich pn-Übergänge ergeben. In Fig. 5A ist eine Mehrzahl von Abteil- bzw. Zwischenregionen 2 des zweiten Leitungstyps gezeigt. Diese Zwischenregionen des zweiten Leitungstyps sind mindestens an ihren Endabschnitten parallel miteinander verbunden.

Die in Fig. 5B gezeigte Driftregion 1 liegt in der Form eines Aufbaus mit einer Mehrzahl von Fasern vor. Sie enthält eine Mehrzahl von Driftpfadregionen 1 des ersten Leitungstyps (Leitungstyp n) und eine Mehrzahl von Abteil- bzw. Zwischenregionen des zweiten Leitungstyps (Leitungstyp p). Jede Region 1 oder 2 liegt in der Form einer Faser vor. In einem Faserbündel (das heißt in den Driftregionen) sind die Regionen 1 und 2 derart angeordnet, daß sie ein Prüf- oder Fleckenmuster oder ein Schachbrettmuster, im Querschnitt gesehen, bilden.

Weiterhin weist die in Fig. 5C dargestellte Driftregion unterteilte Driftpfadregionen 1 des ersten Leitungstyps (das heißt des Leitungstyps n) auf, die im Querschnitt gesehen an den vier Ecken verbindende Abschnitte 1a besitzen.

Zusätzliche Seitenregionen 2a des zweiten Leitungstyps können an den äußersten Oberflächen (das heißt an der oberseitigen und unterseitigen Fläche) der komplexen Struktur 100 vorgesehen sein, wie es in Fig. 5A gezeigt ist, oder können auch an den vier Ecken des komplexen Aufbaus 100, der in Fig. 5B gezeigt ist, vorhanden sein.

Falls sich die Halbleitervorrichtung im Ein-Modus bzw. Einschaltzustand befindet, fließt ein Driftstrom durch eine Mehrzahl der parallel zueinander angeordneten unterteilten Driftpfadregionen 1, 1. Falls sich die Halbleitervorrichtung im Ausschaltzustand befindet, breitet sich eine Verarmungsschicht, die von jedem pn-Übergang zwischen den unterteilten Driftregionen 1 des ersten Leitungstyps und den Zwischenregionen 2 des zweiten Leitungstyps ausgeht, in die Region 1 aus, um hierdurch die Dichte von Ladungsträgern in dieser zu verringern. In diesem Fall kann die Verarmung dadurch beschleunigt werden, daß die äußersten Enden der Verarmungsregion (das heißt die Region, in der keine Ladungsträger vorhanden sind), von den beiden Längsseiten der Zwischenregion des zweiten Leitungstyps seitlich verlängert werden, und auch die Zwischenregion 2 des zweiten Leitungstyps gleichzeitig verarmt wird. Demzufolge wird die Durchbruchspannung der

Halbleitervorrichtung hoch, so daß die Verunreinigungskonzentration der Driftpfadregion 1 des Leitungstyps n erhöht werden kann, um hierdurch den Durchschaltwiderstand (Widerstand im eingeschalteten Zustand) zu verringern. Insbesondere kann, wie vorstehend erläutert, die Verarmungsregion bei der vorliegenden Erfindung von den beiden Längsseiten der Zwischenregion 2 des zweiten Leitungstyps jeweils in die benachbarten Regionen 1, 1 verbreitert werden. Verlängerte Enden der Verarmungsregion wirken effektiv auf die jeweiligen unterteilten Driftpfadregionen 1, 1, so daß die gesamte Breite der Zwischenregion 2 des zweiten Leitungstyps, die zur Ausbildung der Verarmungsschicht erforderlich ist, verringert werden kann, wohingegen die Querschnittsfläche der unterteilten Driftpfadregionen 1 des ersten Leitungstyps in etwa in dem gleichen Ausmaß vergrößert werden kann, was im Vergleich mit der herkömmlichen Vorrichtung zu einer Reduzierung des Durchschaltwiderstands führt. Demgemäß ist es bevorzugt, daß die Zwischenregion 2 des zweiten Leitungstyps derart vorbereitet wird, daß sie eine vergleichsweise kleine Breite hat, die so klein wie möglich ist. Darüber hinaus ist es bevorzugt, daß die Dotierungskonzentration der Zwischenregion 2 des zweiten Leitungstyps so gering wie möglich ist. Ferner kann die gegenläufige Beziehung zwischen dem Durchschaltwiderstand und der Durchbruchspannung abgeschwächt werden, wenn die Anzahl der unterteilten Driftpfadregionen 1 des ersten Leitungstyps je Flächeneinheit (das heißt die Anzahl von unterteilten Regionen je Einheitsfläche) erhöht wird.

Bei der vorliegenden Erfindung entspricht die Gleichung, die die gegenläufige Beziehung zwischen dem idealen Einschalt- bzw. Durchschaltwiderstand r und der Durchbruchspannung BV für jede unterteilte Driftpfadregion 1 des ersten Leitungstyps repräsentiert, der nachfolgenden Gleichung (10), die durch Modifizieren der Gleichung (9) auf der Basis der Annahme erhalten wird, daß die Breite der Zwischenregion 2 des zweiten Leitungstyps unendlich klein ist, wobei der Einschaltwiderstand r um das n -fache höher ist als der ideale Einschaltwiderstand R .

$$r = NR = BV^2 / 2\beta^2 EC^3 \epsilon_0 \epsilon_{Si} \mu \quad (10).$$

Die Beziehung zwischen dem idealen Einschaltwiderstand R und der idealen Durchbruchspannung BV bei dem komplexen Aufbau der Driftpfadunterstrukturen, die parallel angeordnet sind, läßt sich durch die folgende Gleichung darstellen:

$$R = BV^2 / 2N \beta^2 EC^3 \epsilon_0 \epsilon_{Si} \mu \quad (11).$$

Die Möglichkeit zur Herstellung einer Halbleitervorrichtung, die einen beträchtlich geringen Einschaltwiderstand aufweist, läßt sich daher in direkt proportionaler Beziehung zu der Anzahl der unterteilten Driftregionen erhöhen.

Im wesentlichen in der gleichen Weise wie eine Halbleitervorrichtung des lateralen Typs, die auf einer Silizium-auf-Isolator-Schicht (SOI), oder auf einer Halbleiterschicht ausgebildet ist, läßt sich auch eine Halbleitervorrichtung des lateralen Typs herstellen, die eine Driftregion aufweist, die auf einer Halbleiterschicht oder auf einem isolierenden Film auf der Halbleiterschicht hergestellt ist, bei der in der Driftregion ein Driftstrom in der seitlichen Richtung fließt, falls sie sich in dem Einschaltzustand befindet, und bewegliche Ladungen aus-

geräumt (verarmt) werden, wenn sie sich in dem Ausschaltzustand befindet. Die Driftregion kann mit streifenförmiger Gestaltung hergestellt werden, wobei die jeweiligen Driftpfadregionen des ersten Leitungstyps in der Form von Streifen und die jeweiligen Zwischenregionen des zweiten Leitungstyps in der Form von Streifen abwechselnd auf bzw. in einer Ebene angeordnet werden. Die in der Ebene sich wiederholende Gestaltung mit streifenförmigen pn-Übergang kann durch Ausführung eines photolithographischen Vorgangs zu einem Zeitpunkt ausgebildet werden, was zu einem einfachen Herstellungsprozeß und zu geringen Produktionskosten für die Halbleitervorrichtung führt.

Ein weiterer Aufbau der Driftregion, die bei einer Halbleitervorrichtung des lateralen Typs auszubilden ist, kann eine überlagerte parallele Gestaltung sein, bei der die jeweilige unterteilte Driftpfadregion des ersten Leitungstyps in der Form einer flachen Schicht und die jeweilige Zwischenregion des zweiten Leitungstyps in der Form einer flachen Schicht abwechselnd laminiert werden. Die Dicke jeder Schicht kann so weit wie möglich exakt verringert werden, indem ein metallorganisches chemisches Dampfphasenabscheidungsverfahren (MOCVD) oder ein Molekularstrahl-Epitaxieverfahren (MBE) eingesetzt werden, so daß die gegenläufige Beziehung zwischen dem Einschaltwiderstand und der Durchbruchspannung beträchtlich erleichtert bzw. verringert werden kann.

Im übrigen kann es auch möglich sein, die Driftregion als eine überlagerte Struktur mit streifenförmiger, paralleler Gestaltung herzustellen.

Falls in der vorstehend angegebenen Gleichung (10) oder (11) $N = 2$ ist, ist die komplexe Struktur aus parallelen Driftpfaden aus zwei unterteilten Driftpfadregionen mit streifenförmiger Gestalt gebildet. Die einfachste Driftregion bei einer Halbleitervorrichtung des lateralen Typs weist somit eine unterteilte Driftregion des ersten Leitungstyps, die auf einer Halbleiterschicht des zweiten Leitungstyps ausgebildet ist, eine senkenförmige Abteilungs- bzw. Zwischenregion des zweiten Leitungstyps, die auf der unterteilten Driftpfadregion des ersten Leitungstyps gebildet ist, und eine weitere, zweite unterteilte Driftpfadregion des ersten Leitungstyps auf, die auf einer Oberflächenschicht der Zwischenregion des zweiten Leitungstyps ausgebildet und mit der unterteilten Driftpfadregion des ersten Leitungstyps verbunden ist. Der Einschaltwiderstand (Widerstand im eingeschalteten Zustand) der Halbleitervorrichtung kann dadurch verringert werden, daß die weitere, unterteilte Driftpfadregion des ersten Leitungstyps parallel mit der unterteilten Driftpfadregion des ersten Leitungstyps verbunden ist.

Ein Verfahren zur Herstellung der vorstehend erläuterten, einfachen Halbleitervorrichtung des lateralen Typs weist die Schritte auf: Ausbilden einer ersten, unterteilten Driftpfadregion des Leitungstyps n auf einer Halbleiterschicht des Leitungstyps p auf Silizium mit Hilfe einer thermischen Diffusion nach der Durchführung einer Phosphorionen-Implantierung; Ausbilden einer senkenförmigen Zwischenregion des Leitungstyps p auf der ersten, unterteilten Driftpfadregion bzw. Driftregion des Leitungstyps n durch thermische Diffusion nach der Ausführung einer selektiven Borionen-Implantierung; thermisches Oxidieren der erhaltenen Schichtstruktur zur Ausbildung einer zweiten, unterteilten Driftpfadregion des Leitungstyps n auf einer Oberfläche derselben unter Einsatz von konzentrierten Phosphorionen, die auf einer Oberfläche des Siliziums ungleich-

förmig verteilt sind, und unter Einsatz von gelösten bzw. verteilten Borionen, die ungleichförmig in dem oxidierten Film verteilt sind.

Es ist keine Schicht des umgekehrten Leitungstyps benachbart zu der oberen Schicht der zweiten, unterteilten Driftpfadregion des Leitungstyps n vorhanden, so daß es ausreichend ist, eine dünne Schicht bereitzustellen, um die zweite, unterteilte Driftpfadregion des Leitungstyps n leicht und einfach zu verarmen bzw. freizuräumen. Das Herstellungsverfahren gemäß der vorliegenden Erfindung erfordert nicht den Schritt der Dotierung von Dotiermaterial und schafft die zweite unterteilte Driftregion des Leitungstyps n lediglich durch den Schritt der thermischen Oxidation, was zu verringerten Kosten und zu einer verringerten Anzahl von Schritten beiträgt, so daß ein Weg für eine praxismgerechte Massenherstellung von Halbleitervorrichtungen bzw. Halbleiterbauelementen bereitgestellt ist.

Weiterhin weist eine weitere Halbleitervorrichtung gemäß der vorliegenden Erfindung eine Driftregion auf, die auf einer Halbleiterschicht ausgebildet ist, wobei die Driftregion einen Driftstrom in der vertikalen Richtung leitet, wenn sich die Vorrichtung in dem Einschaltzustand befindet, und bei der die Driftregion verarmt bzw. freigeräumt ist, wenn die Vorrichtung sich in dem Ausschaltzustand befindet. Hierbei kann es sich um Halbleitervorrichtungen des vertikalen Typs einschließlich eines Halbleiters, bei dem ein Trench-Gate bzw. Grabengate oder dergleichen verwendet wird, oder um einen bipolaren Transistor mit isoliertem Gate IGBT handeln. Die Driftregion weist eine Mehrzahl von unterteilten Driftregionen des ersten Leitungstyps und eine Mehrzahl von Zwischenregionen des zweiten Leitungstyps aus, wobei jede Region in der Form einer Schicht in der vertikalen Richtung vorliegt. Die jeweiligen unterteilten Driftregionen des ersten Leitungstyps und die jeweiligen Zwischenregionen des zweiten Leitungstyps sind in der lateralen Richtung abwechselnd parallel laminiert bzw. schichtförmig angeordnet. Bei dem Vorgang zur Herstellung dieses Aufbaus kann ein Ätzschritt zur Ausbildung einer Tiefenrinne erforderlich sein. In diesem Fall ist es jedoch auch möglich, die gegenläufige Beziehung zwischen dem Einschaltwiderstand und der Durchbruchspannung der Halbleitervorrichtung des vertikalen Typs erheblich abzuschwächen.

Ausführungsbeispiel 1

Es wird nun auf die Fig. 6A bis 6C bezug genommen. Anhand dieser Figuren wird als erstes Ausführungsbeispiel der vorliegenden Erfindung ein Silizium-aus-Isolator-Metalloxid-Halbleiter-Feldeffekttransistor (Silizium-auf-Isolator = SOI; Metalloxid-Halbleiter-Feldeffekttransistor = MOSFET) in der Form einer lateralen Gestaltung im einzelnen beschrieben. Dieser Feldeffekttransistor wird im folgenden auch als ein lateraler SOI-MOSFET bezeichnet. Hierbei stellt Fig. 6A eine Draufsicht auf den lateralen SOI-MOS-FET dar, während in Fig. 6B ein Querschnitt entlang einer Linie A-A' in Fig. 6A dargestellt ist. Fig. 6C zeigt einen Querschnitt entlang einer Linie B-B' in Fig. 6A.

Der laterale SOI-MOSFET gemäß dem vorliegenden Ausführungsbeispiel weist den gleichen Aufbau wie der in den Fig. 1A und 1B gezeigte MOSFET mit n-Kanal und versetztem Gateaufbau (Offset-Gate) mit Ausnahme der Gestaltung der Drain-Drift-Region auf.

Der Aufbau des lateralen SOI-MOSFETs weist eine Kanaldiffusionsschicht 7 des Leitungstyps p, die auf ei-

nem isolierenden Film 6 auf einem Halbleitersubstrat 5 ausgebildet ist, eine Gateelektrode 7 mit einer Feldplatte, die auf der Kanaldiffusionsregion oder Kanaldiffusionsschicht 7 unter Zwischenlage eines isolierenden Films 10 ausgebildet ist, eine Sourceregion des Leitungstyps n⁺, die an demjenigen Teil der Gateelektrode 11 ausgebildet ist, der sich auf der Seite eines Endes bzw. an einem seitlichen Ende der Gateelektrode 11 befindet, eine Drainregion 9 des Leitungstyps n⁺, die an einer Position mit einem vorbestimmten Abstand zu dem anderen Ende der Gateelektrode 11 ausgebildet ist, eine Drain-Drift-Region 190, die zwischen der Diffusionsregion 7 und der Drainregion 9 verläuft, und einen dicken Isolierfilm 12 auf, der auf der Drain-Drift-Region 190 ausgebildet ist.

Die Drain-Drift-Region 190 besteht bei dem vorliegenden Ausführungsbeispiel aus einer Mehrzahl von unterteilten Regionen in der Form von Streifen: nämlich aus Driftpfadregionen 1 des Leitungstyps n und Zwischenregionen bzw. Abteilungsregionen 2 des Leitungstyps p, die abwechselnd parallel in einer Ebene zur Bildung einer Struktur aus parallelen Streifen angeordnet sind. Ein Ende jeder Driftpfadregion 1 des Leitungstyps n ist mit der Kanaldiffusionsschicht 7 zur Bildung eines pn-Übergangs verbunden, wohingegen das andere Ende jeder Driftpfadregion 1 mit der Drainregion 9 des Leitungstyps n⁺ verbunden ist. Folglich bilden die Driftpfadregionen 1 des Leitungstyps n, die parallel angeordnet sind, eine Driftpfadgruppe 100, die von der Drainregion 9 des Leitungstyps n⁺ abgezweigt ist. Darüber hinaus ist, wie in den Figuren gezeigt ist, eine Halbleiterregion 2a des Leitungstyps p benachbart zu einer Längsseite der Driftregion 1 vorhanden, die an jeder Seite der Driftpfadgruppe positioniert ist. Ferner ist jede Driftregion 1 sandwichförmig zwischen den Halbleiterregionen 2 (2a) des Leitungstyps p angeordnet. Darüber hinaus ist ein Ende jedes Halbleiters des Leitungstyps p mit der Kanaldiffusionsregion 7 des Leitungstyps p verbunden, während das andere Ende desselben mit der Drainregion 9 des Leitungstyps n⁺ verbunden ist, um hierdurch einen pn-Übergang zu bilden. Daher sind die jeweiligen Zwischenregionen des Leitungstyps p von der Kanaldiffusionsregion 7 des Leitungstyps p abgezweigt und bilden eine parallele Verbindung zu den jeweiligen Drainregionen 9 des Leitungstyps n⁺.

Falls sich der laterale SOI-MOSFET in dem Einschaltzustand befindet, fließen Ladungsträger (Elektronen) von der Sourceregion 8 des Leitungstyps n⁺ durch eine Kanalinversionsschicht, die direkt unterhalb des Gateisolierfilms 10 vorhanden ist, in eine Mehrzahl der Driftpfadregionen 1 des Leitungstyps n, wodurch ein Driftstrom durch ein elektrisches Feld hervorgerufen wird, das durch die Spannung, die zwischen der Drain und der Source angelegt ist, erzeugt wird. Falls sich die Halbleitervorrichtung in dem Ausschaltzustand befindet, verschwindet die Kanalinversionsschicht 13 direkt unterhalb des Gateisolierfilms 10 und es verbreitert sich die von dem pn-Übergang Ja ausgehende Verarmungsschicht zwischen der Driftpfadregion des Leitungstyps n und der Kanaldiffusionsregion 7 des Leitungstyps p, sowie die von dem pn-Übergang Jb ausgehende Verarmungsschicht zwischen der Driftpfadregion 1 des Leitungstyps n und der Zwischenregion 2 des Leitungstyps p in die Driftpfadregion 1 des Leitungstyps n, wodurch sich eine Verarmung der Driftpfadregion 1 des Leitungstyps n ergibt. In diesem Fall ist ein Ende der Verarmungsschicht ausgehend von dem pn-Übergang Ja entlang einer Pfadlänge in der Driftpfadregion 1 des Lei-

tungstyps n verbreitert, während das andere Ende der Verarmungsschicht ausgehend von dem pn-Übergang 1b entlang der Pfadbreite in der Driftpfadregion 1 des Leitungstyps n verbreitert ist. Dies bedeutet, daß die Verarmungsschicht ausgehend von ihren beiden Seiten verbreitert ist, wodurch die Verarmung beschleunigt wird. Daher wird die elektrische Feldstärke abgeschwächt und es wird die Durchbruchsspannung hoch, so daß die Konzentration von Verunreinigungen in den jeweiligen Driftpfadregionen 1 des Leitungstyps n vergrößert werden kann. Bei diesem Ausführungsbeispiel sind insbesondere die Enden der Verarmungsschicht an den beiden longitudinalen Seiten der Zwischenregion 2 des Leitungstyps p hin zu den jeweiligen benachbarten Driftpfadregionen 1, 1 des Leitungstyps n verbreitert, so daß die gesamte Breite der Zwischenregionen 2 des Leitungstyps p um die Hälfte verringert werden kann, wohingegen die Querschnittsfläche der Driftpfadregion 1 des Leitungstyps n vergrößert werden kann. Dies führt zu einem Abfall des Einschaltwiderstands, verglichen mit demjenigen der herkömmlichen Halbleitervorrichtung. Darüber hinaus ist die gegenläufige Beziehung zwischen dem Einschaltwiderstand und der Durchbruchsspannung stark abgeschwächt, wenn die Anzahl N der Driftpfadregionen 1 des Leitungstyps n je Flächeneinheit vergrößert ist/wird. Es ist bevorzugt, daß die Breite der Zwischenregionen des Leitungstyps p so klein wie möglich ist.

Zum Zwecke der klaren Darlegung wird der Einschaltwiderstand R des lateralen SOI-MOSFETs gemäß dem vorliegenden Ausführungsbeispiel mit demjenigen des herkömmlichen MOSFETs in konkreter Weise verglichen, wobei als Beispiel die folgenden Bedingungen gewählt sind: die ideale Durchbruchsspannung BV beträgt 100 V; die Konzentration der Verunreinigungen in der Driftpfadregion 1 des ersten Leitungstyps n beträgt $N_D = 3 \times 10^{15} \text{ (cm}^{-3}\text{)}$; die maximale elektrische Feldstärke von Silizium ist $E_C = 3 \times 10^5 \text{ (V/cm)}$; die Beweglichkeit der Elektronen μ beträgt 1000 $\text{(cm}^2\text{/Vs)}$; die Dielektrizitätskonstante von Vakuum ϵ_0 beträgt $8,8 \times 10^{-12} \text{ (C/Vm)}$; die relative Dielektrizitätskonstante ϵ_{Si} von Silizium ist gleich $\epsilon_{Si} = 12$; und die Einheitsladung bzw. Ladungseinheit q ist gleich $1,6 \times 10^{-19} \text{ (C)}$.

Im Fall der geringere Dotierung aufweisenden Drainregion 90 des in Fig. 10 bzw. 1 gezeigten herkömmlichen Bauelements beträgt der ideale Einschaltwiderstand R 9,1 $\text{(m}\Omega\text{cm}^2\text{)}$, wenn die Region 90 eine Länge von 6,6 μm und eine Dicke von 1 μm aufweist und die vorstehend angegebenen Gleichungen herangezogen werden. Im Fall des vorliegenden Ausführungsbeispiels ist der ideale Einschaltwiderstand R andererseits drastisch verringert, wenn die Breite W jeder Driftpfadregion 1 des Leitungstyps n und der Zwischenregion 2 des Leitungstyps p kleiner ist als 1 μm . Dies bedeutet, daß R = 7,9 $\text{(m}\Omega\text{cm}^2\text{)}$ ist, wenn W = 10 μm ist, während R = 0,8 $\text{(m}\Omega\text{cm}^2\text{)}$ ist, wenn W = 1 μm ist. R ist gleich 0,08 $\text{(m}\Omega\text{cm}^2\text{)}$, wenn W = 0,1 μm ist, falls die Länge der Regionen jeweils 5 μm ist und $\beta = 2/3$ ist. Falls die Breite der Zwischenregion 2 des Leitungstyps p geringfügig größer ist als diejenige der Driftpfadregion 1 des Leitungstyps n, läßt sich noch eine zusätzliche, merkbare Verbesserung des idealen Einschaltwiderstands R erzielen. Bei der Massenherstellung von Halbleiterbauelementen ist es schwierig, eine Breite jeder Region 1 oder 2 von weniger als 0,5 μm mit Hilfe einer Photolithographie und einer Ionenimplantation zur gleichen Zeit zu erzielen. In naher Zukunft wird jedoch eine weitere Verringerung des Einschaltwiderstands des lateralen

SOI-MOSFETs gemäß dem vorliegenden Ausführungsbeispiel dadurch erzielbar sein, daß die Breite jeder Region 1 oder 2 auf weniger als 0,5 μm verringert wird, was durch die Fortschritte bei der Mikrobearbeitungstechnologie erzielbar ist.

Der Aufbau der Driftregion, der bei dem vorliegenden Ausführungsbeispiel einzusetzen ist, besteht darin, wiederholte pn-Übergänge in Form von Streifen in einer Ebene vorzusehen, so daß der Aufbau durch einen einzigen Schritt mit photolithographischer Bearbeitung bearbeitet werden kann, so daß sich eine Vereinfachung des Herstellungsprozesses ergibt und Chips mit geringsten Kosten hergestellt werden können.

Ausführungsbeispiel 2

Es wird nun auf die Fig. 7A bis 7C bezug genommen, anhand derer ein zweites Ausführungsbeispiel der vorliegenden Erfindung in Form eines MOSFETs mit n-Kanal des Typs mit doppelter Diffusion (im folgenden auch als doppelt diffundierter MOSFET bezeichnet) in Einzelheiten erläutert wird. Fig. 7A zeigt eine Draufsicht auf den doppelt diffundierten MOSFET, während in Fig. 7B ein Querschnitt entlang einer Linie A-A' in Fig. 7A dargestellt ist und in Fig. 7C ein Querschnitt entlang einer Linie B-B' in Fig. 7A gezeigt ist.

Der doppelt diffundierte MOSFET hat gemäß dem vorliegenden Ausführungsbeispiel den gleichen Aufbau wie der herkömmliche, in den Fig. 2A und 2B gezeigte, doppelt diffundierte MOSFET, mit Ausnahme des Aufbaus der Drain-Drift-Region. Wie in den Figuren gezeigt ist, weist der doppelt diffundierte MOSFET gemäß dem vorliegenden Ausführungsbeispiel eine Drain-Drift-Region 122, die auf einer Halbleiterschicht 4 des Leitungstyps p oder n ausgebildet ist, eine Gateelektrode 11 mit einer Feldplatte, die auf der Drain-Drift-Region 122 unter Zwischenlage eines Gateisolierfilms 10 ausgebildet ist, eine Kanaldiffusionsregion 17 des Leitungstyps p mit der Gestalt einer Senke, die an einem Abschnitt der Kanaldiffusionsregion 17 des Leitungstyps p, der sich an der Seite eines Endes der Gateelektrode 11 befindet, angeordnet ist, eine Sourceregion 8 des Leitungstyps n^+ in der Form einer Senke, die in der Kanaldiffusionsregion 17 des Leitungstyps p ausgebildet ist, eine Drainregion 9 des Leitungstyps n^+ , die an einer Position mit einem bestimmten Abstand zu dem anderen Ende der Gateelektrode 11 gebildet ist, eine Drain-Drift-Region 122, die zwischen der Diffusionsregion 17 des Leitungstyps n und der Drainregion 9 des Leitungstyps n^+ verläuft, und einen dicken Isolierfilm 12 auf, der auf der Drain-Drift-Region 122 gebildet ist.

Die Drain-Drift-Region 122 besteht bei dem vorliegenden Ausführungsbeispiel aus einer Mehrzahl von unterteilten Regionen in der Form von Streifen, in der gleichen Weise wie bei dem ersten Ausführungsbeispiel, das in den Fig. 6A bis 6C gezeigt ist: Driftpfadregionen 1 des Leitungstyps n und Zwischenregionen des Leitungstyps p sind abwechselnd parallel in einer Ebene zur Ausbildung einer parallelen Streifenstruktur angeordnet. Ein Ende jeder Driftpfadregion 1 des Leitungstyps n ist mit der Kanaldiffusionsregion 7 des Leitungstyps p zur Bildung eines pn-Übergangs verbunden, wohingegen das andere Ende der Driftpfadregionen mit der Drainregion 9 des Leitungstyps n^+ verbunden ist. Folglich sind die Regionen 1 des Leitungstyps n in paralleler Form angeordnet und bilden eine Driftpfadgruppe 100, die von der Drainregion 9 des Leitungstyps n^+ abzweigt. Darüber hinaus ist, wie in den Figuren gezeigt

ist, eine Halbleiterregion 2a des Leitungstyps p benachbart zu einer Längsseite der Driftregion 1 vorhanden, die an jeder Seite der Driftpfadgruppe angeordnet ist. Weiterhin ist jede Driftregion 1 sandwichartig zwischen den Halbleiterregionen 2 (2a) des Leitungstyps p angeordnet. Ferner ist ein Ende jedes Halbleiters des Leitungstyps p mit der Kanaldiffusionsregion 7 des Leitungstyps p verbunden, wohingegen das andere Ende desselben mit der Drainregion 9 des Leitungstyps n^+ zur Bildung eines pn-Übergangs verbunden ist. Daher sind die jeweiligen Zwischenregionen 2 des Leitungstyps p von der Kanaldiffusionsregion 7 des Leitungstyps p abgezweigt und bilden eine parallele Verbindung zu den jeweiligen Drainregionen 9 des Leitungstyps n^+ .

Falls sich der doppelt diffundierte MOSFET in dem Ausschaltzustand befindet, verschwindet die direkt unterhalb des Gateisolierfilms 10 gebildete Kanalversionsschicht 13 in gleicher Weise wie beim ersten Ausführungsbeispiel, und es verbreitert sich die Verarmungsschicht ausgehend von dem pn-Übergang Ja zwischen der Driftpfadregion 1 des Leitungstyps n und der Kanaldiffusionsregion 7 des Leitungstyps p und ausgehend von dem pn-Übergang Jb zwischen der Driftpfadregion 1 des Leitungstyps n und der Zwischenregion 2 des Leitungstyps p in die Driftpfadregion 1 des Leitungstyps n hinein, was zu einer Verarmung der Driftpfadregion 1 des Leitungstyps n führt. In diesem Fall ist ein Ende der Verarmungsschicht ausgehend von dem pn-Übergang Ja entlang einer Pfadlänge in der Driftpfadregion 1 des Leitungstyps n verbreitert, und es ist deren anderes Ende ausgehend von dem pn-Übergang Jb entlang der Pfadbite in der Driftpfadregion 1 des Leitungstyps n verbreitert. Dies bedeutet, daß die Verarmungsschicht von bzw. an ihren beiden Seiten verbreitert ist, wodurch die Verarmung beschleunigt wird. Daher wird die Durchbruchspannung hoch, so daß die Konzentration des Dotiermaterials in den jeweiligen Driftpfadregionen 1 des Leitungstyps n vergrößert werden kann, was zu einem Absinken des Einschaltwiderstands führt.

Zum Zwecke der Klarheit wird der Einschaltwiderstand R des doppelt diffundierten MOSFETs gemäß dem vorliegenden Ausführungsbeispiel mit demjenigen des herkömmlichen, in Fig. 2B gezeigten MOSFETs bei den gleichen Bedingungen wie bei dem ersten Ausführungsbeispiel verglichen, wobei die ideale Durchbruchspannung $BV = 100$ V ist. In dem Fall des herkömmlichen Bauelements, das in Fig. 2B gezeigt ist, beträgt der ideale Einschaltwiderstand R ungefähr $0,5$ ($m\Omega cm^2$). In dem Fall des vorliegenden Ausführungsbeispiels ist der ideale Einschaltwiderstand R andererseits $0,4$ ($m\Omega cm^2$) groß, wenn sowohl die Driftpfadregion 1 als auch die Zwischenregion 2 jeweils eine Dicke von 1 mm und eine Breite von $0,5$ μm aufweisen. Es ist möglich, den Einschaltwiderstand dadurch stark zu verringern, daß die Breite jeder Region 1 oder 2 noch weiter verringert wird. Alternativ ist es auch möglich, den Einschaltwiderstand dadurch stark zu verringern, daß der Widerstandsquerschnitt der Driftpfadregion 1 dadurch vergrößert wird, daß die jeweiligen Driftpfadregionen 1 und die jeweilige Zwischenregion 2 des Leitungstyps p verdickt werden. Als Beispiel kann der Einschaltwiderstand R auf $1/10$ des herkömmlichen Einschaltwiderstands gebracht werden, falls die Dicke der Region 1 oder 2 10 μm beträgt, und er kann auf $1/100$ des herkömmlichen Widerstands gebracht werden, wenn die Dicke der Region 1 oder 2 100 μm beträgt. Zum Dotieren in einer solchen verdickten Region kann ein Implan-

tieren von Verunreinigungen mit einer Mehrzahl von Energiepegeln (oder von aufeinanderfolgenden Energiewerten) an demselben Abschnitt der verdickten Region durchgeführt werden.

Ausführungsbeispiel 3

In den Fig. 8A bis 8C ist ein lateraler SOI-MOSFET gezeigt, der ein drittes Ausführungsbeispiel der vorliegenden Erfindung darstellt. In diesen Figuren zeigt Fig. 8A eine Draufsicht auf den lateralen SOI-MOSFET, während in Fig. 8B eine Querschnittsansicht entlang einer Linie A-A' in Fig. 8A dargestellt ist und in Fig. 8C ein Querschnitt entlang einer Linie B-B' in Fig. 8A gezeigt ist.

Der laterale SOI-MOSFET gemäß dem vorliegenden Ausführungsbeispiel weist eine Kanaldiffusionsschicht 77 des Leitungstyps p, die auf einem Halbleitersubstrat 5 unter Zwischenlage einer Isolierschicht 6 ausgebildet ist, eine grabenförmige Gateelektrode 111 (Trench-Gateelektrode), die auf der Kanaldiffusionsschicht 77 unter Zwischenlage eines Gateisolierfilms 10 ausgebildet ist, eine Mehrzahl von Source regionen 88 des Leitungstyps n^+ , die in der oberen Seite der n-Kanal-Diffusionsschicht 77 des Leitungstyps p sowie benachbart zu dem oberen Rand der Graben-Gateelektrode 111 ausgebildet sind, eine Drainregion 99 des Leitungstyps n^+ , die an einer Position mit einem vorbestimmten Abstand zu der Gateelektrode 111 ausgebildet ist, eine Drain-Drift-Region 290, die zwischen der Drainregion 99 und der Gateelektrode verläuft, und einen dicken Isolierfilm 12 auf, der auf der Drain-Drift-Region 290 gebildet ist.

Die Drain-Drift-Region 290 ist bei dem vorliegenden Ausführungsbeispiel im Unterschied zu derjenigen bei dem ersten Ausführungsbeispiel als eine gestapelte Schichtstruktur vorgesehen, bei der die jeweiligen Driftpfadregionen 1 des Leitungstyps n und die jeweiligen Zwischenregionen 2 des Leitungstyps p abwechselnd und wiederholt parallel gestapelt sind. In diesem Fall weist jede der Regionen 1, 2 die Form einer Platte auf. Wie in den Zeichnungen gezeigt ist, ist eine zusätzliche Zwischenregion 2a des Leitungstyps p als eine bodenseitige Endregion der Drain-Drift-Region 290 an der Seite der unterseitigen Driftregion 1 des Leitungstyps n angeordnet, und es ist eine weitere, zusätzliche Zwischenregion 2a des Leitungstyps p als eine obere Endregion der Drain-Drift-Region 290 auf der Seite der oberseitigen Driftregion 1 des Leitungstyps n positioniert. Eine Netto-Dotierungskonzentration jeder der Regionen 2a ist kleiner als $2 \times 10^{12} cm^2$. Ein Ende von jeder der jeweiligen Driftpfadregionen 1 des Leitungstyps n ist mit der Kanaldiffusionsschicht 77 des Leitungstyps p zur Bildung eines pn-Übergangs verbunden, während das andere Ende derselben mit der Drainregion 99 des Leitungstyps n^+ verbunden ist. Folglich bilden die parallel zueinander angeordneten Pfadregionen 1 des Leitungstyps n^+ eine Driftpfadgruppe 100, die von der Drainregion 99 des Leitungstyps n abgezweigt ist. Darüber hinaus ist, wie in den Zeichnungen gezeigt ist, ein Ende jeder Zwischenregion 2 des Leitungstyps p mit der Kanaldiffusionsschicht 77 des Leitungstyps p verbunden, während das andere Ende derselben mit der Drainregion 99 des Leitungstyps n^+ zur Bildung eines pn-Übergangs verbunden ist. Folglich sind die Zwischenregionen 2 des Leitungstyps p von der Kanaldiffusionsschicht des Leitungstyps p abgezweigt und in Form einer parallelen Verbindung angeordnet.

Bei diesem Ausführungsbeispiel läßt sich ein idealer

Einschaltwiderstand des lateralen SOI-MOSFETs durch die vorstehend angegebene Gleichung (11) berechnen. In diesem Fall bezeichnet N die Anzahl von gestapelten Driftpfadregionen des Leitungstyps n. Falls die ideale Durchbruchsspannung 100 V beträgt, ist der ideale Einschaltwiderstand $R = 0,5 \text{ (m}\Omega\text{cm}^2\text{)}$ bei der herkömmlichen Struktur ($N = 1$), beträgt aber für den vorliegenden Aufbau nur $0,05 \text{ (m}\Omega\text{cm}^2\text{)}$ (hierbei beträgt $N = 10$). Dies bedeutet, daß der Einschaltwiderstand R beträchtlich abgesenkt ist, und zwar ungefähr proportional zu der Anzahl N der unterteilten Regionen 1.

Wie vorstehend erläutert, sind die grundlegenden Technologien zur Herstellung der Gestaltungen, die in den Fig. 6A bis 6C und in den Fig. 7A bis 7C gezeigt sind, die Photolithographie und die Ionenimplantation. Bei dem in den Fig. 8A bis 8C gezeigten Ausführungsbeispiel wird andererseits ein Kristallwachstumsverfahren eingesetzt, da die plattenförmigen Regionen 1, 2 in abwechselnder Reihenfolge gestapelt werden sollten. Die gesamte Dicke der gesamten Regionen 1, 2 und die Zeitdauer zur Durchführung des Kristallwachstums vergrößern sich proportional mit der Anzahl der zu stapelnden Regionen 1 und 2. Folglich kann eine ungleichförmige Verteilung der Verunreinigungen nicht vernachlässigt werden, da die Verunreinigungen dazu tendieren, in die jeweiligen, dicken Regionen zu diffundieren. Vorzugsweise sollte die Dicke jeder Region 1, 2 so weit wie möglich verringert werden, damit ein Kristallwachstum bei einer niedrigen Temperatur durchgeführt werden kann, die ausreichend niedrig ist, um die ungleichförmige Verteilung ignorieren zu können. Verglichen mit einem epitaktischen Wachstum, das bei den herkömmlichen Siliziumbearbeitungsmethoden in starkem Umsatz eingesetzt wird, ist es vorzuziehen, ein metallorganisches, chemisches Gasphasenabscheidungsverfahren (MOCVD-Verfahren) und/oder ein Molekularstrahl-Epitaxie-Verfahren (MBE-Verfahren), die allgemein bei der Herstellung von Verbundhalbleitern wie etwa einem Galliumarsenid-Halbleiter eingesetzt werden, bei dem vorliegenden Ausführungsbeispiel zu verwenden. Diese Methoden können als Mikrobearbeitungs-Techniken bereitgestellt werden, die dazu beitragen, den Einschaltwiderstand (Widerstand im eingeschalteten Zustand) aufgrund der Wirkung der Verdünnung der plattenförmigen Driftpfadregionen 1 des Leitungstyps n und der plattenförmigen Zwischenregionen 2 des Leitungstyps p zu verringern.

Bei diesem Ausführungsbeispiel sind die Schwierigkeiten bei der Ausbildung einer Kanalversionsschicht 13 erhöht, wenn die Konzentration des Dotiermaterials durch die Verdünnung dieser Regionen 1, 2 vergrößert wird. Demzufolge ist es schwierig, den Einschaltwiderstand wegen der Schwierigkeiten bei der Verringerung des Kanalwiderstands zu reduzieren. Zur Lösung dieses Problems ist es bevorzugt, einen schwach konzentrierten Bereich an einem Teil der Region vorzusehen, bei dem sich die Gateisolationsmembran 10 mit einer der Driftregionen 1 des Leitungstyps n bzw. der Zwischenregionen 2 des Leitungstyps p berührt.

Ausführungsbeispiel 4

Es wird nun auf die Fig. 9A bis 9C bezug genommen, anhand derer ein lateraler MOSFET in Einzelheiten als weiteres Ausführungsbeispiel der vorliegenden Erfindung erläutert wird. Hierbei zeigt Fig. 9A eine Draufsicht auf den lateralen MOSFET, während in Fig. 9B ein Querschnitt entlang einer Linie A-A' in Fig. 9A gezeigt

ist und in Fig. 9C ein Querschnitt entlang einer Linie B-B' in Fig. 9A dargestellt ist.

Der laterale MOSFET weist gemäß dem vorliegenden Ausführungsbeispiel eine Kanaldiffusionsschicht 77 des Leitungstyps p, die auf einem Halbleitersubstrat 7 des Leitungstyps p- oder n ausgebildet ist, eine Graben-Gateelektrode 111, die unter Zwischenlage eines Gateisolierfilms 10 an einer Seitenwand der Kanaldiffusionsschicht 77 des Leitungstyps p ausgebildet ist, eine Mehrzahl von Sourceregionen 88 des Leitungstyps n^+ , die in dem oberen Ende der n-Kanal-Diffusionsschicht 77 des Leitungstyps p ausgebildet und benachbart zu einem oberen Ende der Graben-Gateelektrode 111 angeordnet sind, eine Drainregion 99 des Leitungstyps n^+ , die an einer Position an einem vorbestimmten Abstand von der Gateelektrode 111 ausgebildet ist, eine Drain-Drift-Region 290, die sich zwischen der Drainregion und der Gateelektrode erstreckt, und einen dicken Isolierfilm 12 auf, der auf der Drain-Drift-Region 290 ausgebildet ist.

Die Drain-Drift-Region 290 ist gemäß dem vorliegenden Ausführungsbeispiel in gleicher Weise wie bei dem dritten Ausführungsbeispiel als eine gestapelte Schichtstruktur vorgesehen, in der die jeweiligen Driftpfadregionen 1 des Leitungstyps n und die jeweiligen Zwischenregionen 2 des Leitungstyps p wiederholt abwechselnd parallel gestapelt oder geschichtet sind. In diesem Fall weist jede dieser Regionen 1, 2 die Gestalt einer Platte auf. Wie aus den Figuren ersichtlich ist, ist eine zusätzliche Zwischenregion 2a des Leitungstyps p als eine bodenseitige Endregion bzw. Abschlußregion der Drain-Drift-Region 290 an der Seite bzw. Unterseite der bodenseitigen Driftregion 1 des Leitungstyps n angeordnet. Weiterhin ist eine zusätzliche Zwischenregion 2a des Leitungstyps p als eine oberseitige Endregion der Drain-Drift-Region 290 an der Seite bzw. Oberseite der obersten Driftregion 1 des Leitungstyps n vorhanden. Die Netto-Dotierungskonzentration von jeder dieser Regionen 2a ist kleiner als $2 \times 10^{12} \text{ cm}^{-2}$. Ein Ende von jeder der jeweiligen Driftpfadregionen 1 des Leitungstyps n ist mit der Kanaldiffusionsschicht 77 des Leitungstyps p zur Bildung eines pn-Übergangs verbunden, während ihre anderen Enden mit der Drainregion 99 des Leitungstyps n^+ verbunden sind. Folglich bilden die parallel zueinander angeordneten Driftpfadregionen 1 des Leitungstyps n^+ eine Driftpfadgruppe 100, die von der Drainregion 99 des Leitungstyps n^+ abzweigt. Darüber hinaus ist, wie in den Zeichnungen dargestellt ist, ein Ende von jeder der Zwischenregionen 2 des Leitungstyps p mit der Kanaldiffusionsschicht 77 des Leitungstyps p verbunden, während ihre anderen Enden mit der Drainregion 99 des Leitungstyps n^+ zur Bildung eines pn-Übergangs verbunden sind. Folglich sind die Zwischenregionen 2 des Leitungstyps p von der Kanaldiffusionsschicht des Leitungstyps p abgezweigt und mit paralleler Verbindung angeordnet.

Bei diesem Ausführungsbeispiel ist es in gleicher Weise wie bei dem dritten Ausführungsbeispiel möglich, den Einschaltwiderstand zu verringern und die Durchbruchsspannung zu vergrößern. Die Beziehung zwischen dem Aufbau des vorliegenden Ausführungsbeispiels und demjenigen des dritten Ausführungsbeispiels, das in den Fig. 8A bis 8C gezeigt ist, entspricht der Beziehung zwischen dem zweiten, in den Fig. 7A bis 7C gezeigten Ausführungsbeispiel und dem ersten, in den Fig. 6A bis 6C gezeigten Ausführungsbeispiel. Folglich ist der Aufbau der vorliegenden Erfindung bzw. des vorliegenden Ausführungsbeispiels keine SOI-Struktur, so daß es möglich ist, die Halbleitervorrichtung mit ge-

ringen Kosten herzustellen.

Ausführungsbeispiel 5

Fig. 10 zeigt einen Querschnitt eines lateralen MOSFET mit p-Kanal als fünftes Ausführungsbeispiel der vorliegenden Erfindung, das mit der Gestaltung gemäß Fig. 2A mit Ausnahme der Drain-Drift-Region übereinstimmt.

Der laterale MOSFET mit p-Kanal gemäß dem vorliegenden Ausführungsbeispiel weist eine Kanaldiffusionsschicht 3 des Leitungstyps n, die auf einer Halbleiterschicht 4 des Leitungstyps p ausgebildet ist, eine Gateelektrode 11, die mit einer Feldplatte versehen ist und auf der Kanaldiffusionsschicht des Leitungstyps n unter Zwischenlage eines Gateisolierfilms 10 ausgebildet ist, eine Sourcereion 18 des Leitungstyps p⁺ mit der Form einer Senke, die an demjenigen Abschnitt der Kanaldiffusionsschicht 3 des Leitungstyps n ausgebildet ist, der sich an der Seite eines Endes der Gateelektrode 11 befindet, eine Drain-Drift-Region 14 des Leitungstyps p mit der Form einer Senke, die in der Kanaldiffusionsschicht 3 des Leitungstyps n ausgebildet ist, wobei ein Abschnitt derselben direkt unterhalb des anderen Endes der Gateelektrode 11 liegt, eine Abteilregion bzw. Zwischenregion 2a des Leitungstyps n als oberseitige Region, die auf einer Oberfläche der Drain-Drift-Region 14 des Leitungstyps p ausgebildet ist, eine Drainregion 19 des Leitungstyps p⁺, die an einer Position mit einem vorbestimmten Abstand zu dem anderen Ende der Gateelektrode 11 ausgebildet ist, eine Kontaktregion 71 des Leitungstyps n⁺, die benachbart zu der Sourcereion 18 des Leitungstyps p⁺ vorgesehen ist, und einen dicken Isolierfilm 12 auf, der auf der Drain-Drift-Region des Leitungstyps p ausgebildet ist. Bei diesem Ausführungsbeispiel ist die Anzahl von unterteilten Drainregionen N gleich eins (1), so daß die Drain-Drift-Region des Leitungstyps p im Querschnitt gesehen einem Streifen der Driftpfadregion 1 entspricht. Eine Dicke der oberseitigen Region 2b des Leitungstyps n auf der Drain-Drift-Region 14 des Leitungstyps p ist als dünner Film zum Zwecke der Beschleunigung der Verarmung ausgebildet. Wenn man diesen Aufbau mit der Gestaltung gemäß Fig. 2A vergleicht, ist die oberseitige Region 2b des Leitungstyps n bei dem vorliegenden Aufbau zur Beschleunigung der Verarmung vorgesehen, wobei diese Verarmung durch Bereitstellung einer Verarmungsschicht von der Kanaldiffusionsschicht 3 unter der Drain-Drift-Region 14 des Leitungstyps p sowie einer weiteren Verarmungsschicht von der oberseitigen Region 2a des Leitungstyps n oberhalb der Drain-Drift-Region 14 des Leitungstyps p bewirkt wird. Die Netto-Dotierungskonzentration der Drain-Drift-Region 14 der herkömmlichen in Fig. 2A gezeigten Struktur beträgt annähernd $1 \times 10^{12}/\text{cm}^2$, während der Aufbau gemäß der vorliegenden Erfindung eine Netto-Dotierungskonzentration von ungefähr $2 \times 10^{12}/\text{cm}^2$ aufweist, was mehr als zweimal so groß ist wie bei der herkömmlichen Gestaltung. Gemäß dem vorliegenden Ausführungsbeispiel ist es daher möglich, den Einschaltwiderstand als Ergebnis der Erhöhung der Konzentration der Verunreinigungen in der Drain-Drift-Region zu verringern und darüber hinaus die Durchbruchsspannung zu erhöhen.

Ausführungsbeispiel 6

Fig. 11 zeigt einen Querschnitt, in der ein doppelt

diffundierter MOSFET mit n-Kanal in der Ausführungsform als laterale Gestaltung (im folgenden auch einfach als doppelt diffundierter MOSFET bezeichnet) gezeigt ist, der ein sechstes Ausführungsbeispiel der vorliegenden Erfindung darstellt, das der Gestaltung gemäß Fig. 2B mit Ausnahme der Drain-Drift-Region entspricht.

Der doppelt diffundierte MOSFET weist eine Drain-Drift-Region 22 (das heißt eine erste Driftregion 1 des Leitungstyps n), die auf einer Halbleiterschicht 4 des Leitungstyps p (das heißt auf einer bodenseitigen Region 2a des Leitungstyps p) ausgebildet ist, eine Gateelektrode 11 mit einer Feldplatte, die auf der Drain-Drift-Region 22 unter Zwischenlage eines Gateisolierfilms 10 ausgebildet ist, eine Kanaldiffusionsregion 17 des Leitungstyps p in der Form einer Senke, die an demjenigen Abschnitt der Drain-Drift-Region 22 ausgebildet ist, der an der Seite eines Endes der Gateelektrode 11 angeordnet ist, eine Sourcereion 8 des Leitungstyps n⁺ in der Form einer Senke, die in der Kanaldiffusionsschicht 17 des Leitungstyps p ausgebildet ist, eine oberseitige Schicht des Leitungstyps p (das heißt eine Abteil- bzw. Zwischenschicht 2 des Leitungstyps p), die auf einer Oberflächenschicht zwischen der Gateelektrode 11 und der Drainregion 9 des Leitungstyps n⁺ ausgebildet und mit einem vorbestimmten Abstand zu der Gateelektrode 11 angeordnet ist, eine zweite Driftpfadregion 1, die an einer Oberfläche der Zwischenregion 2 des Leitungstyps p ausgebildet ist, eine Kontaktregion 72 des Leitungstyps p⁺, die benachbart zu der Sourcereion 8 des Leitungstyps n⁺ angeordnet ist, und eine dicke Isolierschicht 12 auf, die auf der Zwischenregion 2 des Leitungstyps p ausgebildet ist.

Die Drain-Drift-Region 22, die eine untere Schicht bildet, und die Driftpfadregion 1, die eine obere Schicht bildet, sind gemeinsam parallel miteinander durch die Zwischenregion 2 des Leitungstyps p kontaktiert. Bei dem vorliegenden Ausführungsbeispiel ist, verglichen mit der Gestaltung gemäß Fig. 2B, die Driftregion 1 zusätzlich auf der Zwischenregion 2 des Leitungstyps p vorgesehen. Wie vorstehend angegeben, ist es möglich, die Durchbruchsspannung als Ergebnis der Verbreiterung der Verarmungsschichten von der Zwischenregion 2 des Leitungstyps p zu der Drain-Drift-Region 22 als untere Schicht derselben, bzw. zu der Driftpfadregion 1 als obere Schicht derselben, zu erhöhen, was zu einer Absenkung des Einschaltwiderstands führt. Die Netto-Dotierungskonzentration der Driftregion 22 des Aufbaus, der in Fig. 2B gezeigt ist, beträgt annähernd $2 \times 10^{12}/\text{cm}^2$, während der Aufbau gemäß der vorliegenden Erfindung eine Netto-Dotierungskonzentration (das heißt eine Summe aus der Dotierungskonzentration der in der unteren Lage geschichteten Drain-Drift-Region 22 und der an oberer Stelle geschichteten Driftpfadregion 1) von annähernd $3 \times 10^{12}/\text{cm}^2$ aufweist, was das 1,5-fache der Konzentration des herkömmlichen Aufbaus ist. In Übereinstimmung mit dem vorliegenden Ausführungsbeispiel ist es daher möglich, eine gegenläufige Beziehung zwischen der idealen Durchbruchsspannung und dem idealen Einschaltwiderstand zu erhalten, wie sie in Fig. 4 durch die Linie D veranschaulicht ist. Aus der vorstehenden Beschreibung ist ersichtlich, daß die vorstehend erläuterte, gegenläufige bzw. in gegenseitigem Widerspruch stehende Beziehung durch die vorliegende Gestaltung abgeschwächt werden kann, verglichen mit der herkömmlichen Gestaltung.

Ein Verfahren zum Herstellen des Aufbaus des fünften und/oder des sechsten Ausführungsbeispiels enthält

die Schritte: Ausbilden einer Halbleiterschicht 3 (32) des Leitungstyps n durch Implantieren von Phosphorionen in einen Halbleiter des Leitungstyps p und Durchführen einer Wärmebehandlung (das heißt einer thermischen Dispersion oder Verteilung); Ausbilden einer Region 14 (24) des Leitungstyps p auf einer Oberfläche der Halbleiterschicht 3 (22) des Leitungstyps n durch selektives Implantieren von Borionen und durch Ausüben einer Wärmebehandlung (das heißt einer thermischen Dispersion); und Ausführen einer thermischen Oxidation bezüglich der erhaltenen Zwischenstruktur, um hierdurch eine dünne oberseitige Region 2b des Leitungstyps n (das heißt eine Driftpfadregion 1 des Leitungstyps n) auf einer Oberflächenschicht unter Verwendung der konzentrierten Phosphorionen zu bilden, die ungleichförmig auf einer Oberfläche des Siliziums verteilt sind, und von aufgelösten bzw. im Gitter verteilten (diluted) Borionen, die in dem oxidierten Film gleichförmig verteilt sind. In diesem Fall ist keine Schicht des umgekehrten Leitungstyps benachbart zu der oberen Schicht der Driftpfadregion 1 des Leitungstyps n oder der oberseitigen Region 2b des Leitungstyps n vorhanden, so daß es ausreichend ist, eine dünne Schicht bereitzustellen, um hierdurch die zweite Driftpfadregion des Leitungstyps n leicht und einfach zu verarmen. Bei der Methode zur Herstellung des vorliegenden Ausführungsbeispiels ist kein Schritt des Dotierens von Dotiermaterial erforderlich, und es wird die oberseitige Region 2b des Leitungstyps n (die Driftpfadregion 1 des Leitungstyps n) lediglich durch den Schritt der thermischen Oxidation geschaffen, was einen Weg zur Verringerung der gesamten Anzahl von Schritten und zur praktischen Massenerstellung von Halbleiterbauelementen bereitstellt.

Bei dem fünften Ausführungsbeispiel sind der Gateisolfilm 10 und die Drain-Drift-Region 14 durch die oberseitige Region 2b des Leitungstyps n voneinander getrennt, da die oberseitige Region 2b des Leitungstyps n ungewollt auf der im wesentlichen gesamten Oberfläche der Oberflächenschicht aus Silizium bei Einsatz des vorstehend erläuterten Fertigungsverfahrens ausgebildet wird. In diesem Fall tritt jedoch kein Problem auf. Die Drain-Drift-Region 14 kann elektrisch leitend durch eine Kanalinversionsschicht kontaktiert werden, die direkt unterhalb des Gates 10 ausgebildet wird, falls die oberseitige Region 2b des Leitungstyps n als ein dünner Film ausgebildet wird.

Ausführungsbeispiel 7

Die Fig. 12A bis 12F zeigen einen MOSFET mit n-Kanal und Trench-Gate (Graben-Gate) in der Ausführungsform mit vertikalem Aufbau (im folgenden auch als vertikaler MOSFET bezeichnet), der ein siebtes Ausführungsbeispiel der vorliegenden Erfindung darstellt. Hierbei zeigt Fig. 12A eine Draufsicht auf den vertikalen MOSFET; in Fig. 12B ist ein Querschnitt entlang einer Linie A-A' in Fig. 12A dargestellt; Fig. 12C veranschaulicht einen Querschnitt entlang einer Linie B-B' in Fig. 12A; in Fig. 12D ist eine Querschnittsansicht entlang einer Linie C-C' in Fig. 12A dargestellt; Fig. 12E zeigt einen Querschnitt entlang einer Linie D-D' in Fig. 12A; und Fig. 12F zeigt eine Querschnittsansicht entlang einer Linie E-E' in Fig. 12A.

Der vertikale MOSFET weist eine Drainschicht 29 des Leitungstyps n⁺, die elektrisch mit einer rückseitigen Elektrode (nicht gezeigt) kontaktiert ist, eine Drain-Drift-Region 139, die auf der Drainschicht 29 des Leitungstyps n⁺ ausgebildet ist, eine Graben-Gateelektro-

de 21, die in einem Graben, der auf einer Oberfläche der Drain-Drift-Region 139 ausgebildet ist, unter Zwischenlage eines Gateisolfilms 10 eingebettet ist, eine Kanaldiffusionsschicht 27 des Leitungstyps p, die auf einer Oberfläche der Drain-Drift-Region 139 mit einer relativ schmalen Tiefe, verglichen mit derjenigen der Graben-Gateelektrode 21, ausgebildet ist, eine Sourceregion 18 des Leitungstyps n⁺, die entlang eines oberen Rands der Graben-Gateelektrode 21 ausgebildet ist, und einen dicken Isolfilm 12 auf, der als eine Abdeckung der Gateelektrode 21 dient. Hierbei ist es auch möglich, einen bipolaren Transistoraufbau mit isoliertem Gate des Leitungstyps n herzustellen, in dem eine Schicht des Leitungstyps p oder ein doppelt geschichteter Aufbau, der aus einer oberen Schicht des Leitungstyps n⁺ und einer unteren Schicht des Leitungstyps p⁺ besteht, anstelle der einzelnen geschichteten Drainschicht 29 des Leitungstyps n⁺ eingesetzt wird.

Gemäß dem vorliegenden Ausführungsbeispiel weist die Drain-Drift-Region 139 gemäß der Darstellung in den Fig. 12D und 12E eine Mehrzahl von plattenförmigen, unterteilten Regionen in der vertikalen Richtung auf, in der Driftpfadregionen 1 des Leitungstyps n und Abteilregionen bzw. Zwischenregionen des Leitungstyps p vorhanden sind, die abwechselnd parallel zueinander in der vertikalen Richtung zur Bildung einer parallelen Streifenstruktur angeordnet sind. Ein oberes Ende jeder der Driftpfadregionen 1 des Leitungstyps n ist mit der Kanaldiffusionsschicht 27 des Leitungstyps p zur Bildung eines pn-Übergangs verbunden, während ein unteres Ende derselben mit der Drainschicht 29 des Leitungstyps n⁺ verbunden sind. Folglich bilden die Driftpfadregionen 1 des Leitungstyps n, die parallel zueinander angeordnet sind, eine Driftpfadgruppe 100, die von der Drainschicht 29 des Leitungstyps n⁺ abzweigt. Auch wenn dies in den Zeichnungen nicht gezeigt ist, ist ferner eine seitliche Halbleiterregion des Leitungstyps p benachbart zu einer Längsseite der Driftregion 1, die an einer jeweiligen Seite der Driftpfadgruppe angeordnet ist, vorhanden, und es ist jede der Driftregionen 1 sandwichartig zwischen seitlichen Halbleiterregionen des Leitungstyps p und/oder Zwischenregionen des Leitungstyps p angeordnet. Darüber hinaus ist das obere Ende jeder Zwischenregion 2 des Leitungstyps p mit der Kanaldiffusionsschicht 27 des Leitungstyps p verbunden, wohingegen das untere Ende derselben mit der Drainschicht 29 des Leitungstyps n⁺ zur Bildung eines pn-Übergangs verbunden ist. Daher sind die jeweiligen Zwischenregionen 2 des Leitungstyps p von der Kanaldiffusionsregion 27 des Leitungstyps p abgezweigt und bilden eine parallele Verbindung mit den jeweiligen Drainregionen 29 des Leitungstyps n⁺.

Falls sich der vertikale MOSFET in dem Ausschaltzustand befindet, verschwindet die Kanalinversionsschicht 13 direkt unterhalb des Gateisolfilms 10. Aufgrund der Wirkung des Potentials zwischen der Drain und der Source sind darüber hinaus die Verarmungsschichten ausgehend von dem pn-Übergang 1a zwischen der Driftpfadregion 1 des Leitungstyps n und der Kanaldiffusionsregion 27 des Leitungstyps p, sowie ausgehend von dem pn-Übergang 1b zwischen der Driftpfadregion 1 des Leitungstyps n und der Zwischenregion 2 des Leitungstyps p in die Driftpfadregion 1 des Leitungstyps n hinein verbreitert, was zu einer Verarmung bzw. Freiräumung der Driftpfadregion des Leitungstyps n führt. In diesem Fall ist ein Ende der Verarmungsschicht ausgehend von dem pn-Übergang 1a entlang einer Pfadlänge in der Driftpfadregion 1 des Leitungstyps n ver-
breitert.

tert, und es ist deren anderes Ende ausgehend von dem pn-Übergang J_b entlang einer Pfadbite in der Driftpfadregion 1 des Leitungstyps n verbreitert. Die Verarmungsschicht ist somit von bzw. an ihren beiden Seiten verbreitert, um hierdurch die Verarmung zu beschleunigen, und es wird dabei zur gleichen Zeit die Zwischenregion 2 des Leitungstyps p ebenfalls verarmt. Insbesondere bei der vorliegenden Erfindung kann, wie vorstehend erläutert, die Verarmungsregion von den beiden Längsseiten der Zwischenregion 2 des zweiten Leitungstyps jeweils in die benachbarten Regionen 1, 1 ausgedehnt werden. Die verlängerten Enden der Verarmungsregion wirken effektiv auf die jeweiligen unterteilten Driftpfadregionen 1, 1, so daß die gesamte Breite der Zwischenregion 2 des zweiten Leitungstyps, die zur Ausbildung der Verarmungsschicht erforderlich ist, verringert werden kann, während die Querschnittsfläche der unterteilten Driftpfadregion 1 des ersten Leitungstyps in ungefähr dem gleichen Ausmaß vergrößert werden kann, was zu einer Verringerung des Einschaltwiderstands, verglichen mit dem herkömmlichen Bauelement führt. Darüber hinaus kann die gegenläufige Beziehung zwischen dem Einschaltwiderstand und der Durchbruchspannung grob proportional zur Vergrößerung der Anzahl der unterteilten Driftpfadregionen 1 des Leitungstyps n je Flächeneinheit (das heißt der Anzahl von unterteilten Regionen je Flächeneinheit) abgeschwächt werden.

Zum Zwecke der Klarheit wird der Einschaltwiderstand R des vertikalen MOSFETs gemäß dem vorliegenden Ausführungsbeispiel mit demjenigen des herkömmlichen MOSFETs mit n -Kanal gemäß der Darstellung in Fig. 3 verglichen, wobei die ideale Durchbruchspannung BV mit 100 V angenommen ist.

In dem Fall des herkömmlichen Bauelements beträgt der ideale Einschaltwiderstand R ungefähr $0,6 \text{ (m}\Omega\text{cm}^2\text{)}$ gemäß der Linie A in Fig. 4. Im Fall des vorliegenden Ausführungsbeispiels ist der ideale Einschaltwiderstand R jedoch gleich $1,6 \text{ (m}\Omega\text{cm}^2\text{)}$, wenn $W = 10 \text{ }\mu\text{m}$ ist; während $R = 0,16 \text{ (m}\Omega\text{cm}^2\text{)}$ ist, wenn $W = 1 \text{ }\mu\text{m}$ ist, und gleich $0,016 \text{ (m}\Omega\text{cm}^2\text{)}$ ist, wenn $W = 0,1 \text{ }\mu\text{m}$ ist, falls die Tiefe (Pfadlänge) jeder Driftpfadregion 1 des Leitungstyps n und jeder Zwischenregion 2 des Leitungstyps p gleich $5 \text{ }\mu\text{m}$ ist und β gleich $2/3$ ist.

Es läßt sich daher eine erhebliche Verringerung des idealen Einschaltwiderstands R erzielen. Falls die Breite der Zwischenregion 2 des Leitungstyps p geringfügig größer ist als diejenige der Driftpfadregion 1 des Leitungstyps n , kann eine weitere erhebliche Verbesserung hinsichtlich des idealen Einschaltwiderstands R erhalten werden. Bei der Massenherstellung von Halbleiterbauelementen ist es allerdings schwierig, eine Breite für jede Region 1 oder 2 von weniger als $0,5 \text{ }\mu\text{m}$ mit Hilfe von einer gleichzeitigen Photolithographie und Ionenimplantation zu erzielen. In der nahen Zukunft wird sich jedoch eine weitere Verringerung des Einschaltwiderstands des vertikalen MOSFETs gemäß dem vorliegenden Ausführungsbeispiel dadurch erzielen lassen, daß die Breite jeder Region 1 oder 2 auf weniger als $0,5 \text{ }\mu\text{m}$ verringert wird, und zwar aufgrund der Fortschritte bei der Mikrobearbeitung.

Verglichen mit dem lateralen Halbleiteraufbau kann der vertikale Halbleiteraufbau, der die sich wiederholenden, unterteilten Driftpfadregionen 1 des Leitungstyps n und die unterteilten Zwischenregionen 2 des Leitungstyps p in einer in der vertikalen Richtung orientierten Anordnung enthält, schwierig herzustellen sein. Es ist jedoch möglich, den vertikalen Halbleiteraufbau

durch ein Verfahren herzustellen, das die Schritte enthält: Ausbilden einer Schicht des Leitungstyps n auf einer Drainregion 29 mit Hilfe eines epitaktischen Wachstums; Entfernen von vorbestimmten Abschnitten der Schicht des Leitungstyps n mit Hilfe einer Ätzung zur Ausbildung einer Mehrzahl von Rillen in der Form von Streifen mit vorgegebenem Abstand bzw. gewünschter Teilung; und Ausgießen bzw. Auffüllen der geätzten Rillen mit Hilfe eines epitaktischen Wachstums des Leitungstyps p und Entfernen von unerwünschten Abschnitten, oder mit Hilfe eines Prozesses, der die Schritte des selektiven Implantierens von Neutronen oder Partikeln mit hoher Energie enthält, die große Reichweiten aufweisen und eine nukleare Transformation der implantierten Partikel bewirken, um hierdurch selektiv eine tiefe, umgekehrt leitende Region auszubilden.

Die vorliegende Erfindung wurde vorstehend in Einzelheiten unter Bezugnahme auf unterschiedliche Ausführungsbeispiele erläutert. Die mit der vorliegenden Erfindung verknüpfte Gestaltung ist nicht auf die vorstehend angesprochene Drain-Drift-Region eines MOSFETs beschränkt. Es ist auch möglich, eine Halbleiterregion zu verwenden, die zu einer Verarmungsregion wird, wenn sich das Bauelement in dem Ausschaltzustand befindet und die auch zu einer Driftregion wird, wenn sich das Bauelement in dem Einschaltzustand befindet. Weiterhin kann auch der größte Teil der sonstigen Halbleiterelemente wie etwa bipolare Transistoren mit isoliertem Gate IGBT, bipolare Transistoren, Halbleiterdioden, JFETs, Thyristoren, MESFETs und HEMTs als erfindungsgemäße Halbleitervorrichtung verwendet werden. In Übereinstimmung mit der vorliegenden Erfindung läßt sich der Leitungstyp bei Bedarf auch in den umgekehrten Leitungstyp ändern. Gemäß den Fig. 5A bis 5C sind Strukturen gezeigt, die eine Mehrzahl von unterteilten Unterstrukturen in paralleler Anordnung wie etwa eine geschichtete Struktur, einen Faseraufbau oder einen Wabenaufbau, aufweisen, jedoch ist die Erfindung nicht auf diese Formen begrenzt. Es ist auch möglich, andere Gestaltungen und Formen einzusetzen.

Wie vorstehend erläutert, weist die vorliegende Erfindung Merkmale auf, die folgendes einschließen: einen Satz aus Driftregionen eines ersten Leitungstyps in Form eines parallel unterteilten Aufbaus, wobei in jeder der unterteilten Driftregionen ein Driftstrom fließt, wenn sie sich im Einschaltzustand befindet, wohingegen sie verarmt ist, falls sie sich im Ausschaltzustand befindet; und eine Abteilregion bzw. abgegrenzte Region oder Zwischenregion des zweiten Leitungstyps, die an einer Grenzfläche der seitlichen Oberflächen der benachbarten Driftregionen angeordnet ist, um mit diesen einen pn-Übergang zu bilden.

Die vorliegende Erfindung ruft damit mindestens die nachfolgend angegebenen Wirkungen hervor.

- (1) Die Verarmungsregion kann von den beiden Längsseiten der Zwischenregion des zweiten Leitungstyps jeweils in die benachbarten Regionen verbreitert werden. Die sich verbreiternden Enden der Verarmungsregion wirken effektiv auf die jeweiligen, unterteilten Driftpfadregionen ein, so daß die gesamte Breite der Zwischenregion des zweiten Leitungstyps, die zur Ausbildung der Verarmungsschicht erforderlich ist, verringert werden kann, während die Querschnittsfläche der unterteilten Driftpfadregion des ersten Leitungstyps ungefähr

in dem gleichen Ausmaß vergrößert werden kann, was zu einem Absenken des Einschaltwiderstands, verglichen mit dem herkömmlichen Bauelement, führt. Demgemäß kann die gegenläufige Beziehung zwischen dem Einschaltwiderstand und der Durchbruchspannung entschärft werden, falls die Anzahl der unterteilten Driftpfadregionen des ersten Leitungstyps je Flächeneinheit (das heißt die Anzahl von unterteilten Regionen je Flächeneinheit) vergrößert wird.

(2) Die Driftregion kann in streifenförmigem Aufbau hergestellt werden, indem die jeweiligen unterteilten Driftpfadregionen des ersten Leitungstyps in der Form von Streifen, und die jeweiligen Zwischenregionen des zweiten Leitungstyps in der Form von Streifen abwechselnd in einer Ebene angeordnet werden. Die sich wiederholende Struktur aus streifenförmigen pn-Übergängen in der Ebene kann durch Ausführung eines photolithographischen Prozesses zu einem Zeitpunkt bzw. zur gleichen Zeit ausgebildet werden, was zu einem einfachen Herstellungsprozeß und zu niedrigen Produktionskosten für die Halbleitervorrichtung führt.

(3) Die Driftregion, die in dem Halbleiterbauelement (Halbleitervorrichtung) des lateralen Typs vorzusehen ist, kann eine überlagerte parallele Struktur sein, bei der die jeweiligen unterteilten Driftpfadregionen des ersten Leitungstyps in der Form einer flachen Schicht und die jeweilige Zwischenregion des zweiten Leitungstyps in der Form einer flachen Schicht abwechselnd laminiert bzw. geschichtet werden. Die Dicke jeder Schicht kann exakt so weit wie möglich verringert werden, wobei ein metallorganisches, chemisches Dampfphasenabscheidungsverfahren (MOCVD-Verfahren) oder ein Molekularstrahl-Epitaxieverfahren (MBE-Verfahren) eingesetzt wird, so daß die gegenläufige Beziehung zwischen dem Einschaltwiderstand und der Durchbruchspannung erheblich verringert werden kann.

(4) Die einfachste Driftregion bei einer Halbleitervorrichtung des lateralen Typs weist eine unterteilte Driftregion eines ersten Leitungstyps, die auf einer Halbleiterschicht eines zweiten Leitungstyps ausgebildet ist, eine senkenförmig ausgestaltete Zwischenregion des zweiten Leitungstyps, die auf der unterteilten Driftpfadregion des ersten Leitungstyps ausgebildet ist, und eine weitere, zweite unterteilte Driftpfadregion des ersten Leitungstyps auf, die auf einer Oberflächenschicht der Zwischenregion des zweiten Leitungstyps ausgebildet ist und mit der unterteilten Driftpfadregion des ersten Leitungstyps verbunden ist. Der Einschaltwiderstand der Halbleitervorrichtung kann dadurch verringert werden, daß die weitere unterteilte (zweite) Driftpfadregion des ersten Leitungstyps parallel mit der unterteilten Driftpfadregion des ersten Leitungstyps verbunden wird. Bei diesem Aufbau gibt es keine Schicht des umgekehrten Leitungstyps benachbart zu der oberen Schicht der zweiten, unterteilten Driftpfadregion des ersten Leitungstyps, so daß die Verarmung leicht durch die Verringerung der Dicke der Schicht erhalten werden kann.

(5) Das Herstellungsverfahren gemäß der vorliegenden Erfindung erfordert keinen Schritt der Dotierung von Verunreinigungen und kann die zweite unterteilte Driftregion des Leitungstyps n lediglich bzw. allein durch den Schritt der thermischen Oxi-

dation erzeugen, was zu der Verringerung der Kosten und zu einer Verringerung der Anzahl der Schritte beiträgt, so daß sich eine Methode zur praktischen Massenherstellung von Halbleiterbauelementen ergibt.

(6) Die Driftregion der Halbleitervorrichtung des vertikalen Typs weist eine Mehrzahl von unterteilten Driftregionen des ersten Leitungstyps und eine Mehrzahl von Zwischenregionen des zweiten Leitungstyps auf, wobei jede Region in der Form einer Schicht in der vertikalen Richtung vorliegt. Die jeweiligen unterteilten Driftregionen des ersten Leitungstyps und die jeweiligen Zwischenregionen des zweiten Leitungstyps sind alternierend in paralleler Form in der seitlichen Richtung gestapelt. Bei dem Prozeß zur Herstellung dieses Aufbaus kann ein Ätzschritt zur Ausbildung einer tiefen Rille erforderlich sein. In diesem Fall ist es jedoch ebenfalls möglich, die gegenläufige Beziehung zwischen dem Einschaltwiderstand und der Durchbruchspannung der Halbleitervorrichtung des vertikalen Typs erheblich zu verringern.

Patentansprüche

1. Halbleitervorrichtung mit einer Driftregion, in der ein Driftstrom fließt, wenn sie sich in dem Einschaltzustand befindet, und die verarmt ist, wenn sie sich im ausgeschalteten Zustand befindet, wobei die Driftregion als ein Aufbau ausgebildet ist, der eine Mehrzahl von unterteilten Driftpfadregionen eines ersten Leitungstyps, die parallel miteinander zur Bildung einer Gruppe von parallelen Driftpfaden verbunden sind, und eine Mehrzahl von Seitenregionen eines zweiten Leitungstyps aufweist, wobei jede der Seitenregionen des zweiten Leitungstyps zwischen benachbarten unterteilten Driftpfadregionen des ersten Leitungstyps angeordnet ist, um hierdurch mit diesen pn-Übergänge zu bilden;
2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß mindestens eine zusätzliche, zweite Seitenregion vorhanden ist, die mit einer Außenseite einer unterteilten Driftpfadregion des ersten Leitungstyps, die eine Außenseite der Gruppe von parallelen Driftpfaden bildet, verbunden ist.
3. Halbleitervorrichtung, die eine Driftregion aufweist, die einen Driftstrom leitet, wenn sie sich im eingeschalteten Zustand befindet, und die verarmt ist, wenn sie sich im ausgeschalteten Zustand befindet, wobei der Driftstrom in einer seitlichen Richtung fließt und die Driftregion auf einem Halbleiter oder auf einem isolierenden Film auf dem Halbleiter ausgebildet ist, wobei die Driftregion als eine Gestaltung mit parallelen Streifen ausgebildet ist, bei der eine Mehrzahl von streifenförmigen, unterteilten Driftpfadregionen eines ersten Leitungstyps und eine Mehrzahl von streifenförmigen Zwischenregionen eines zweiten Leitungstyps in einer Ebene jeweils eine nach der anderen abwechselnd parallel angeordnet sind.
4. Halbleitervorrichtung mit einer Driftregion, in der ein Driftstrom fließt, wenn sie sich im eingeschalteten Zustand befindet, und die verarmt ist, wenn sie sich im ausgeschalteten Zustand befindet, wobei der Driftstrom in einer seitlichen Richtung fließt und die Driftregion auf einem Halbleiter oder auf einem isolierenden Film auf dem Halbleiter aus-

gebildet ist, wobei die Driftregion als parallele, gestapelte Struktur ausgebildet ist, bei der eine Mehrzahl von schichtförmigen, unterteilten Driftpfadregionen eines ersten Leitungstyps und eine Mehrzahl von schichtförmigen Zwischenregionen eines zweiten Leitungstyps in einer Ebene eine nach der anderen parallel zueinander abwechselnd gestapelt sind. 5

5. Halbleitervorrichtung mit einer Driftregion, in der ein Driftstrom fließt, wenn sie sich in einem eingeschalteten Zustand befindet, und die verarmt ist, wenn sie sich in einem ausgeschalteten Zustand befindet, wobei ein Driftstrom in einer seitlichen Richtung fließt und die Driftregion auf einem Halbleiter eines zweiten Leitungstyps ausgebildet ist, wobei die Driftregion enthält: 10

eine unterteilte Driftregion eines ersten Leitungstyps, die auf dem schichtförmigen Halbleiter des zweiten Leitungstyps ausgebildet ist, eine senkenförmige Zwischenregion des zweiten Leitungstyps, die auf der unterteilten Driftpfadregion des ersten Leitungstyps ausgebildet ist, und eine weitere, unterteilte Driftpfadregion des ersten Leitungstyps, die auf einer Oberflächenschicht der senkenförmigen Zwischenregion des zweiten Leitungstyps ausgebildet ist und die mit der unterteilten Driftpfadregion des ersten Leitungstyps parallel geschaltet bzw. verbunden ist. 15

6. Halbleitervorrichtung mit einer Driftregion, in der ein Driftstrom fließt, wenn sie sich in einem eingeschalteten Zustand befindet, und die verarmt ist, wenn sie sich in einem ausgeschalteten Zustand befindet, wobei der Driftstrom in einer vertikalen Richtung fließt und die Driftregion auf einem Halbleiter ausgebildet ist, wobei die Driftregion eine Mehrzahl von unterteilten Driftregionen eines ersten Leitungstyps aufweist, von denen jede eine schichtförmige Gestaltung entlang der vertikalen Richtung besitzt, und eine Mehrzahl von Zwischenregionen des ersten Leitungstyps enthält, von denen jede einen schichtförmigen Aufbau entlang der vertikalen Richtung aufweist, und wobei die Mehrzahl von unterteilten Driftregionen des ersten Leitungstyps und die Mehrzahl von Zwischenregionen des ersten Leitungstyps eine nach der anderen parallel in einer Richtung gestapelt sind, die rechtwinklig zu der vertikalen Richtung verläuft, um eine in seitlicher Richtung gestapelte parallele Struktur zu bilden. 20

7. Verfahren zur Herstellung einer Halbleitervorrichtung mit einer Driftregion, in der ein Driftstrom fließt, wenn sie sich in einem eingeschalteten Zustand befindet, und die verarmt ist, wenn sie sich in einem ausgeschalteten Zustand befindet, wobei der Driftstrom in einer lateralen Richtung fließt und die Driftregion auf einem Halbleiter eines zweiten Leitungstyps ausgebildet ist, wobei die Driftregion enthält: eine unterteilte Driftregion eines ersten Leitungstyps, die auf dem schichtförmigen Halbleiter des zweiten Leitungstyps ausgebildet ist; eine senkenförmige Zwischenregion des zweiten Leitungstyps, die auf der unterteilten Driftpfadregion des ersten Leitungstyps ausgebildet ist; und eine weitere, unterteilte Driftpfadregion des ersten Leitungstyps, die auf einer Oberflächenschicht der senkenförmigen Zwischenregion des zweiten Leitungstyps ausgebildet ist und mit der unterteilten 25

Driftpfadregion des ersten Leitungstyps parallel verbunden ist, mit den Schritten:

Ausbilden einer unterteilten Driftpfadregion eines ersten Leitungstyps auf einer aus Silizium bestehenden Halbleiterschicht eines zweiten Leitungstyps durch thermische Diffusion, nachdem eine Phosphorionen-Implantation durchgeführt worden ist;

Ausbilden einer senkenförmigen Zwischenregion des zweiten Leitungstyps auf der unterteilten Driftregion des ersten Leitungstyps durch thermische Diffusion nach der Ausführung einer selektiven Borionen-Implantation; und thermisches Oxidieren eines Aufbaus, der durch die selektive Borionen-Implantation erhalten worden ist, um hierdurch eine weitere, unterteilte Driftpfadregion des ersten Leitungstyps auf einer Oberfläche derselben unter Ausnutzung der Konzentration von Phosphorionen, die ungleichförmig an einer Oberfläche des Siliziums verteilt sind, und einer Verteilung bzw. Lösung von Borionen, die in einem oxidierten Film ungleichförmig verteilt sind, auszubilden.

Hierzu 13 Seite(n) Zeichnungen

- Leerseite -

FIG. 5A

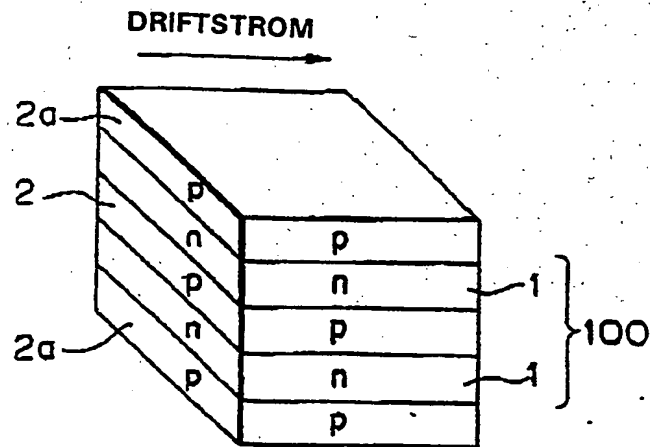


FIG. 5B

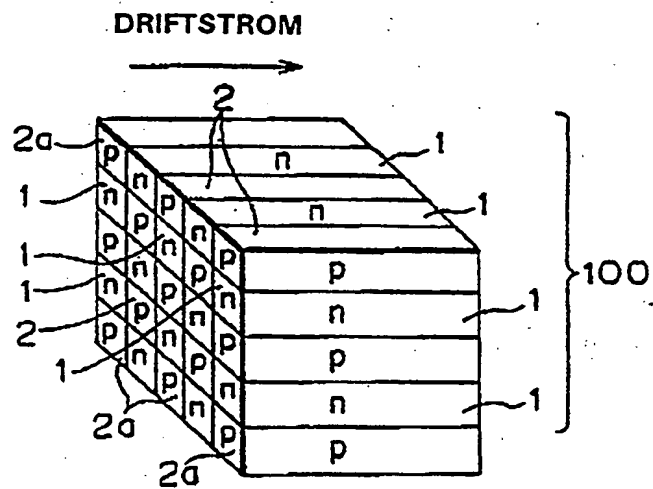
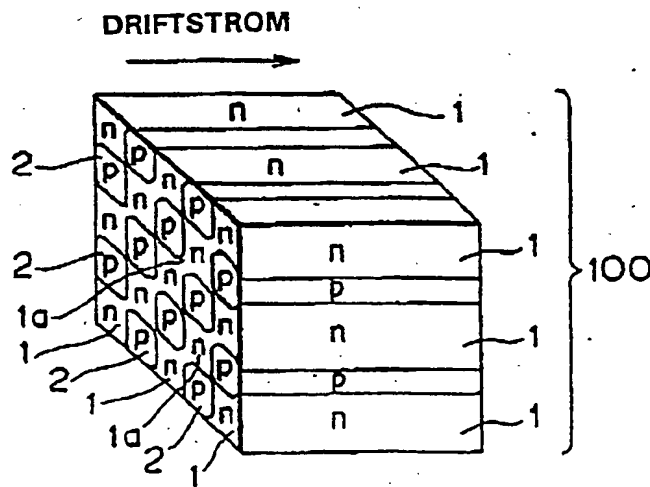


FIG. 5C



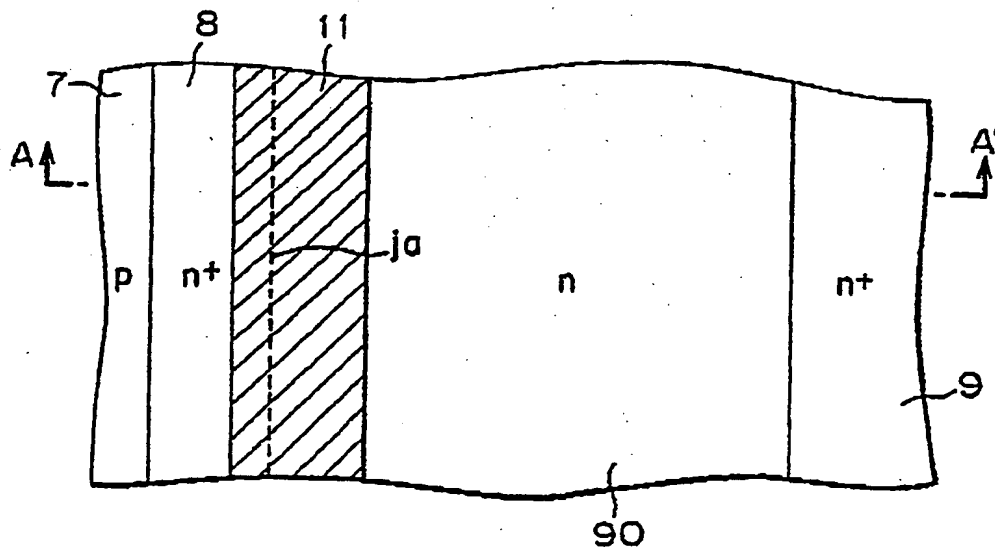


FIG. 1A

STAND DER TECHNIK

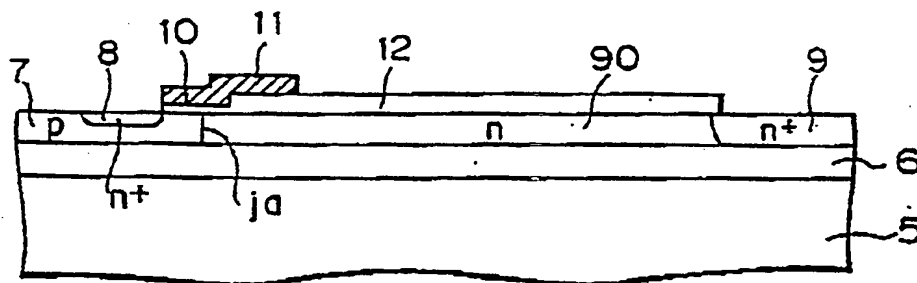


FIG. 1B

STAND DER TECHNIK

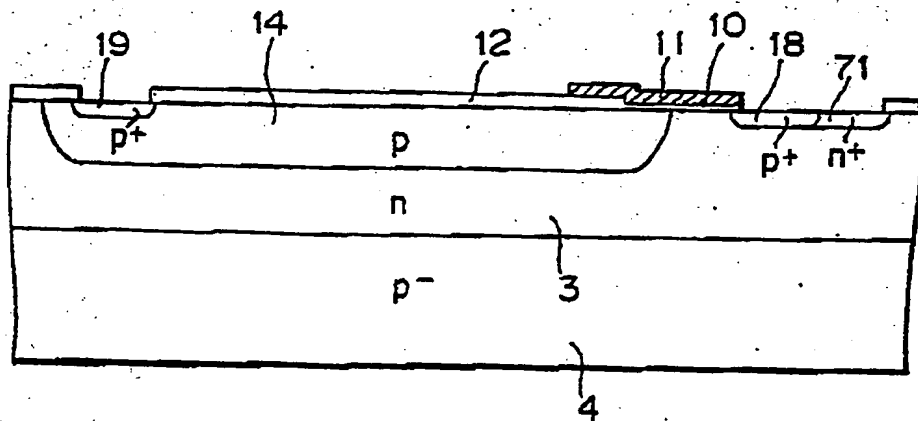


FIG. 2A

STAND DER TECHNIK

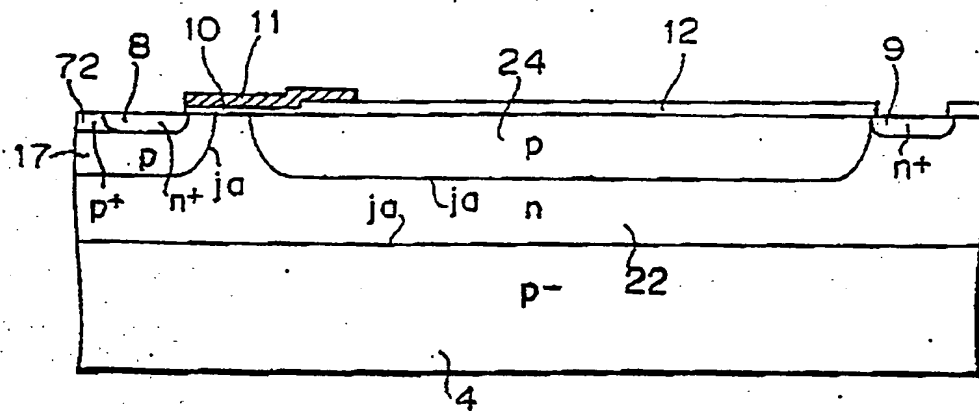


FIG. 2B

STAND DER TECHNIK

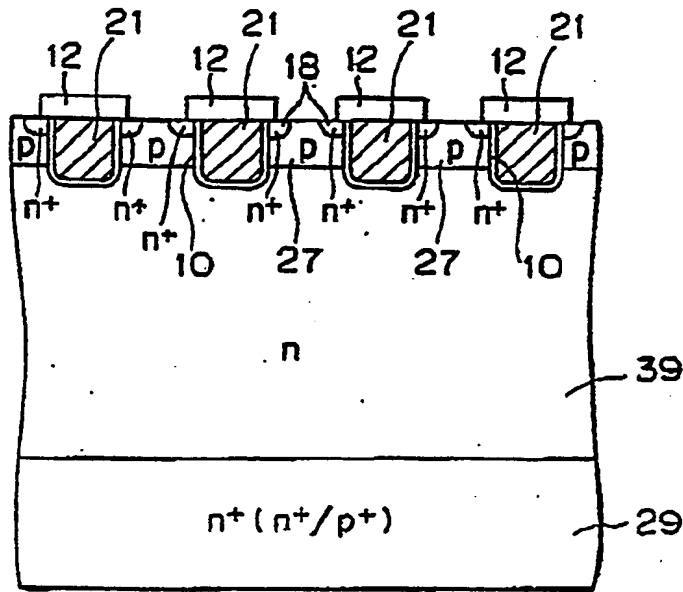


FIG. 3

STAND DER TECHNIK

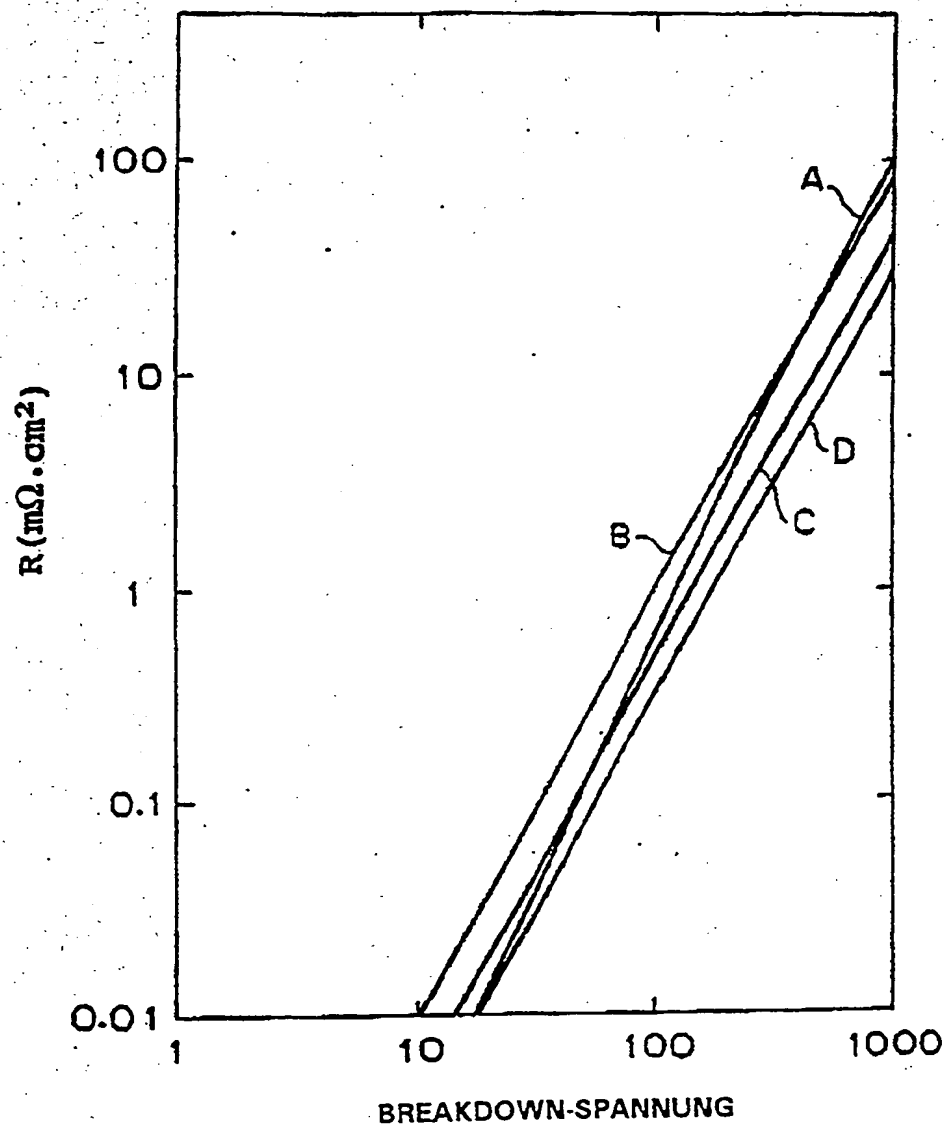


FIG. 4

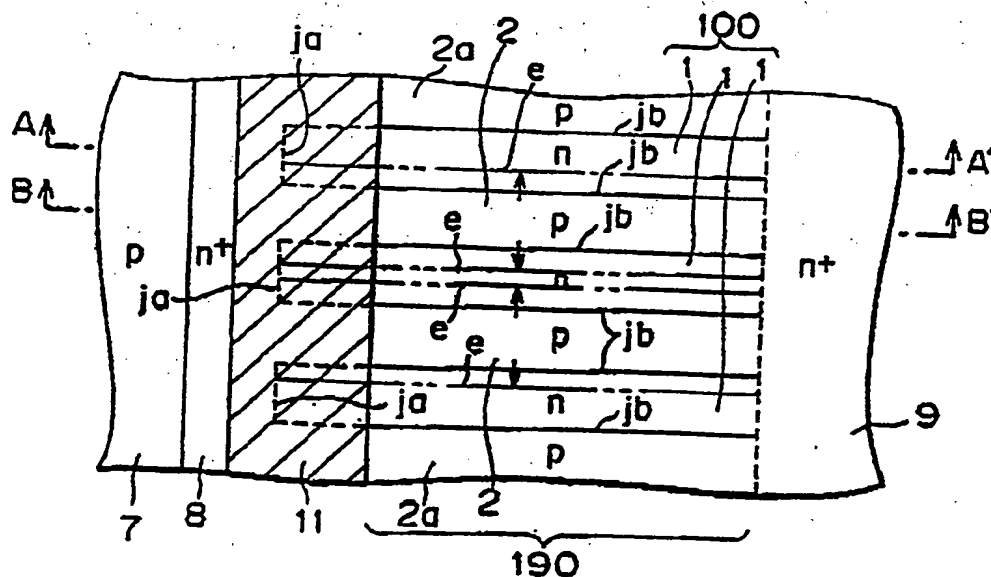


FIG. 6A

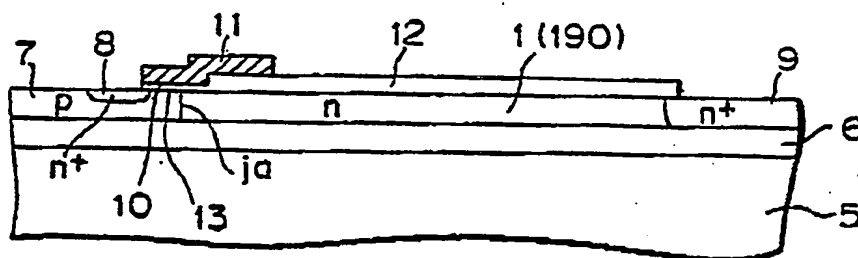


FIG. 6B

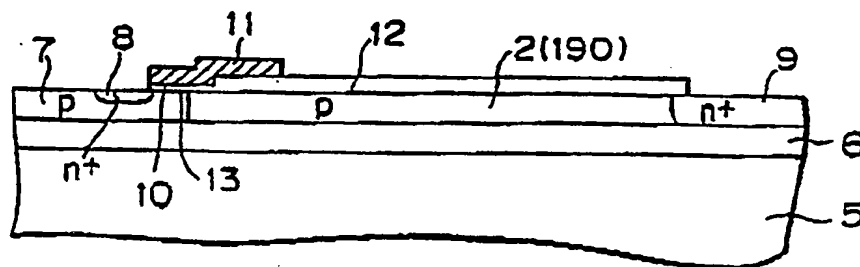


FIG. 6C

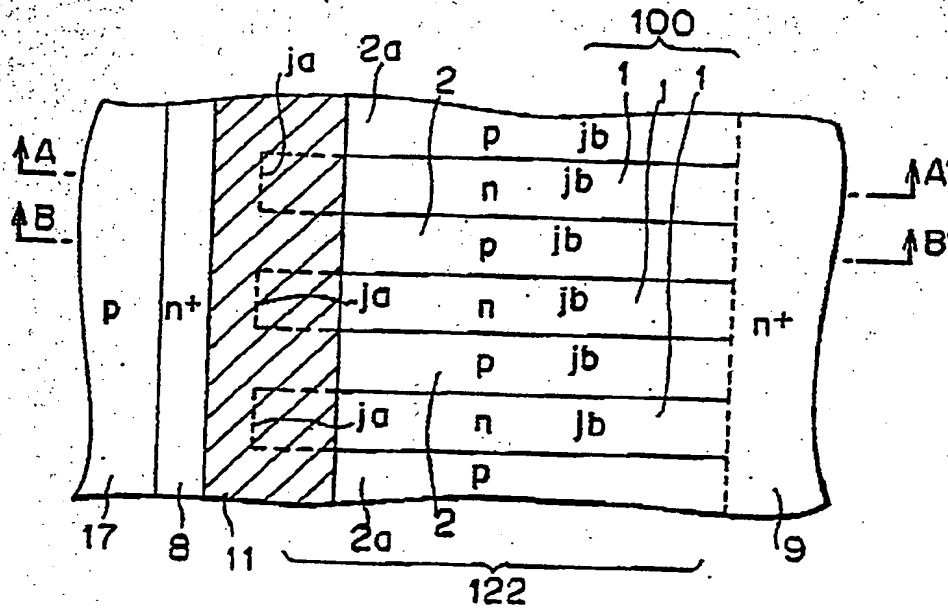


FIG. 7A

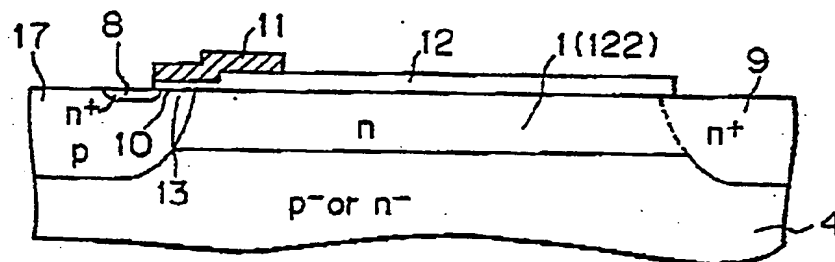


FIG. 7B

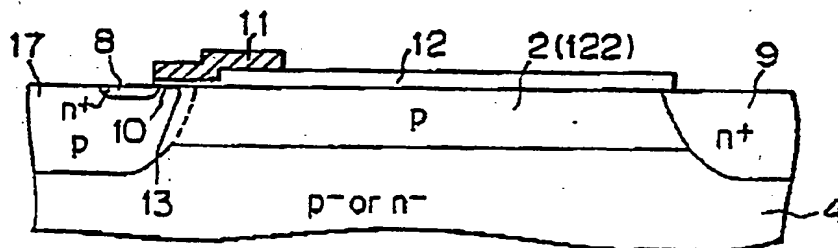


FIG. 7C

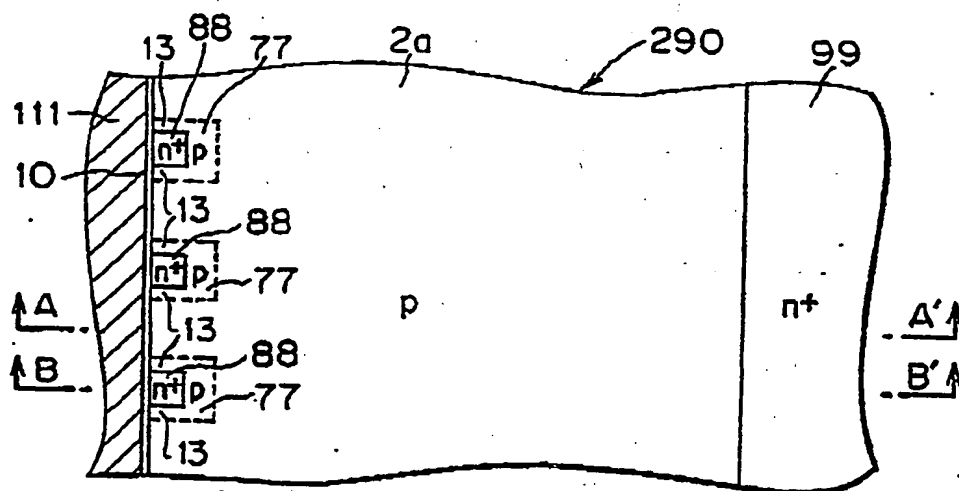


FIG. 8A

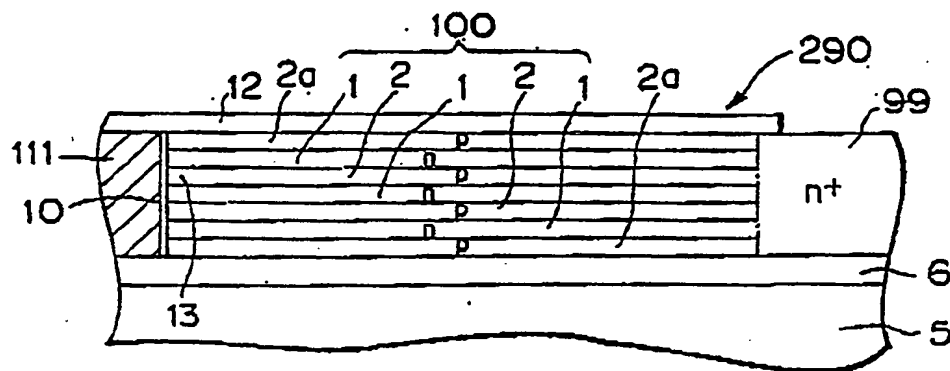


FIG. 8B

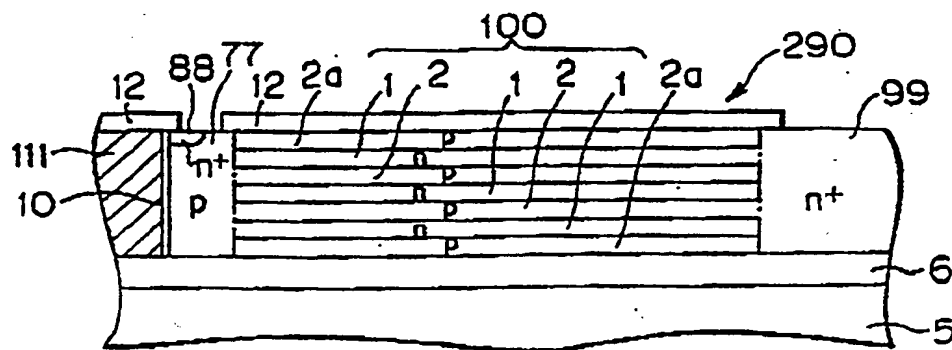


FIG. 8C

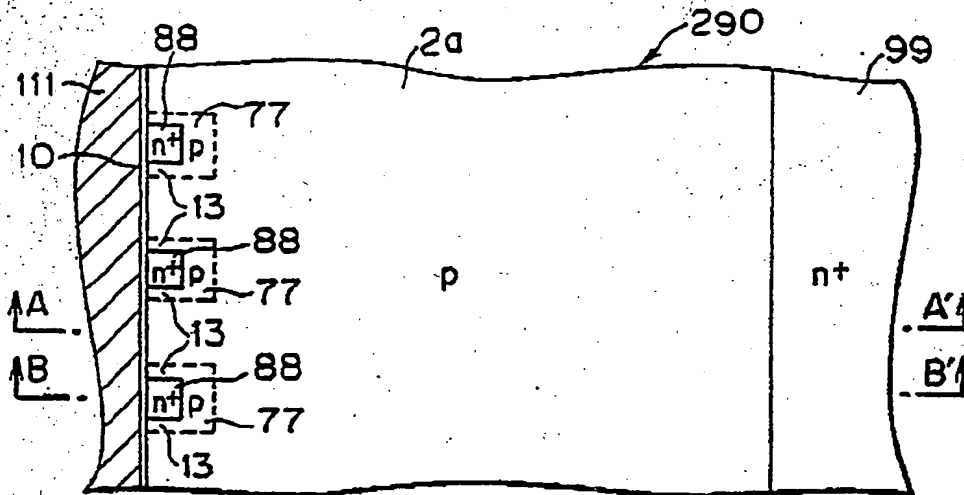


FIG. 9A

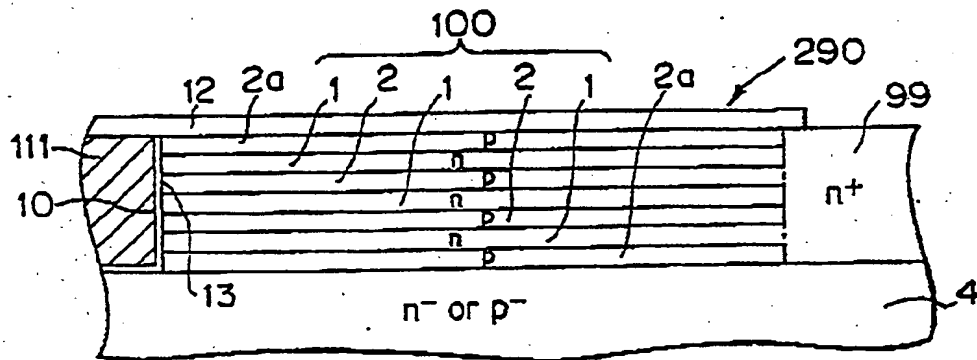


FIG. 9B

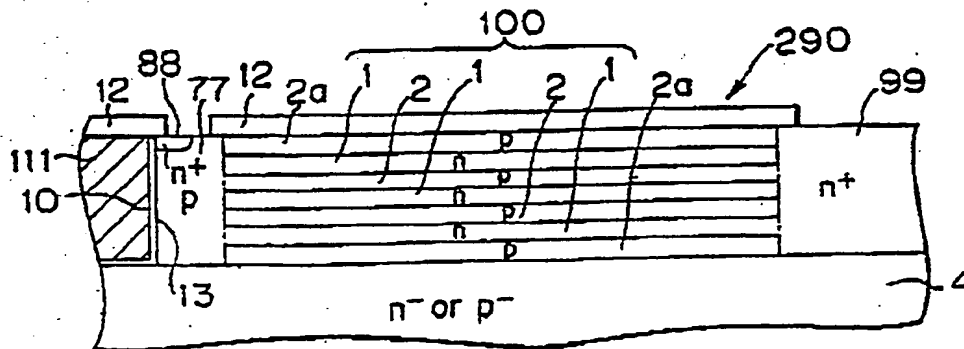
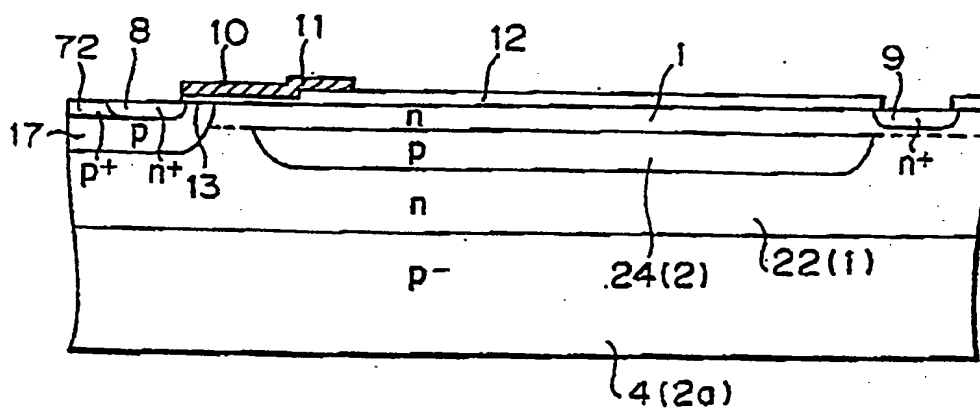
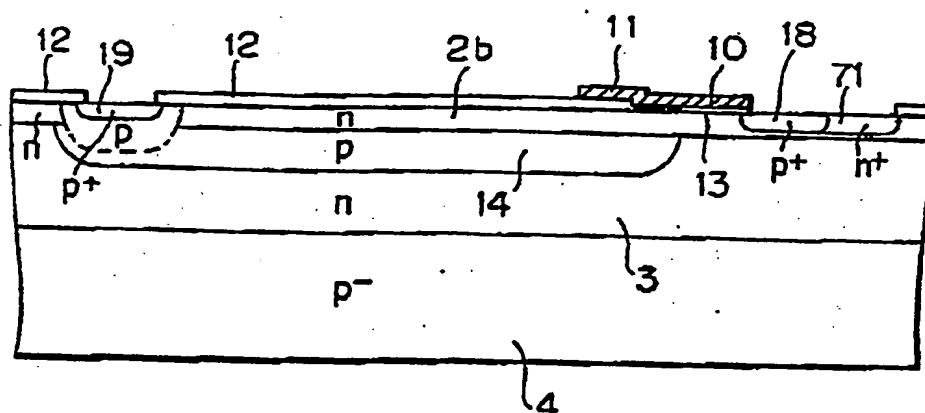
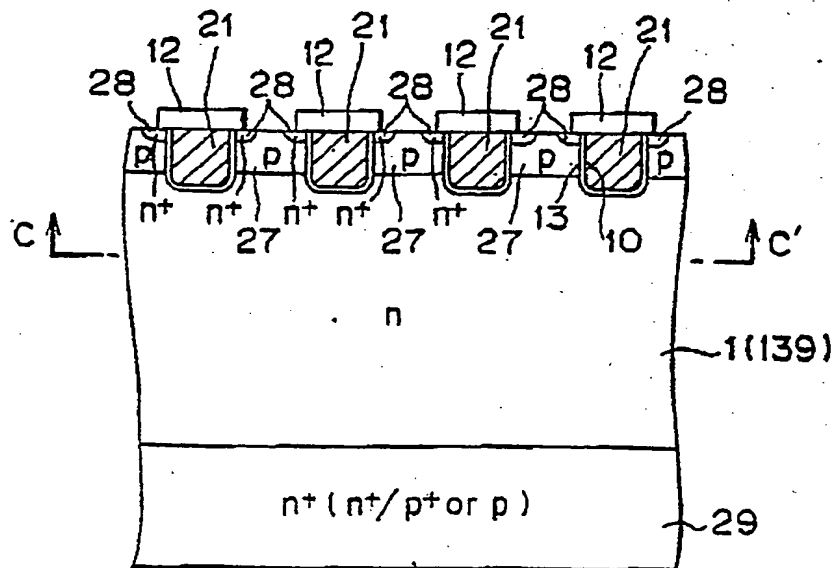
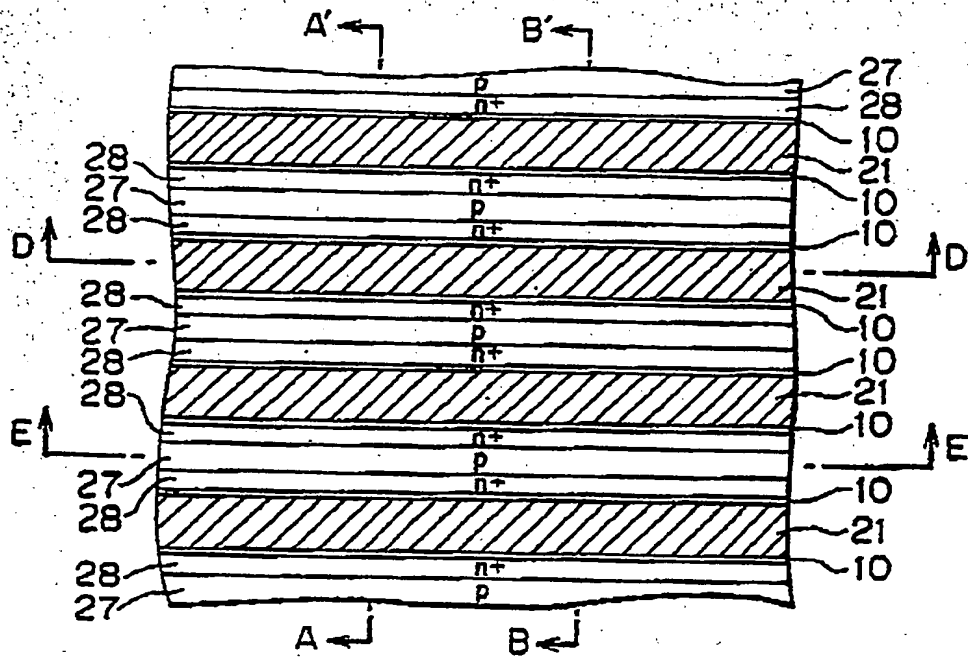


FIG. 9C





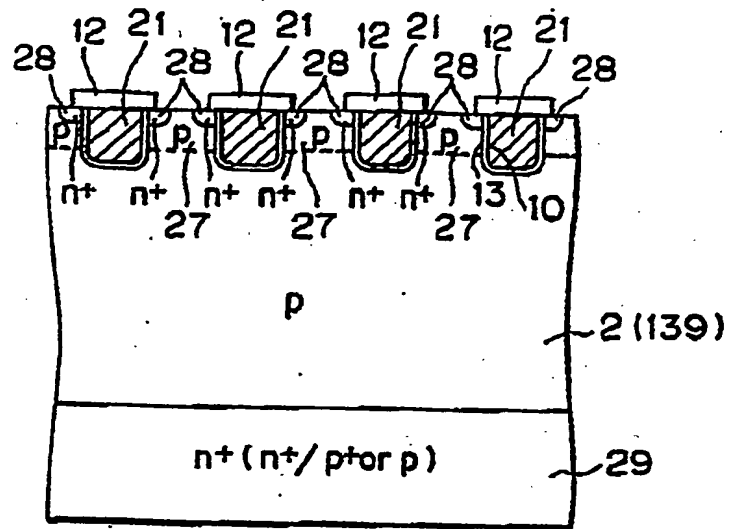


FIG. 12C

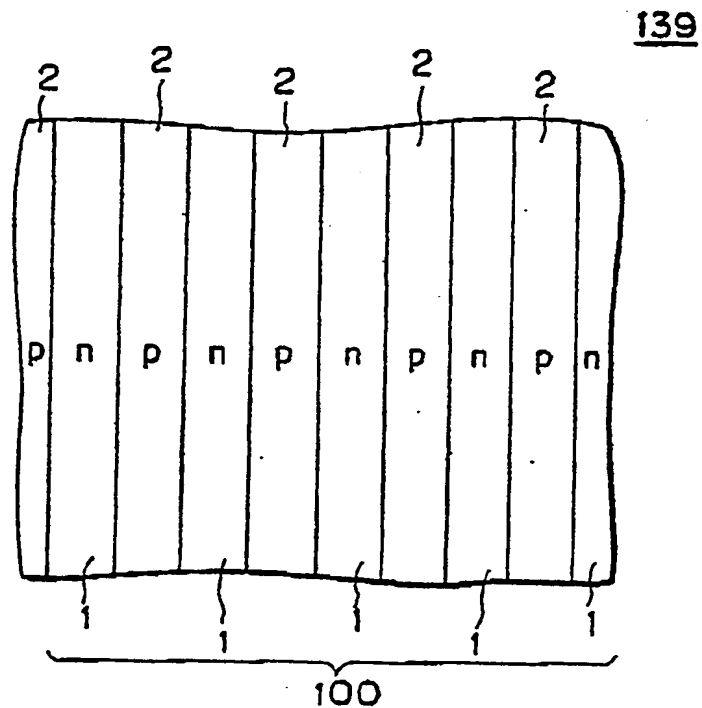


FIG. 12D

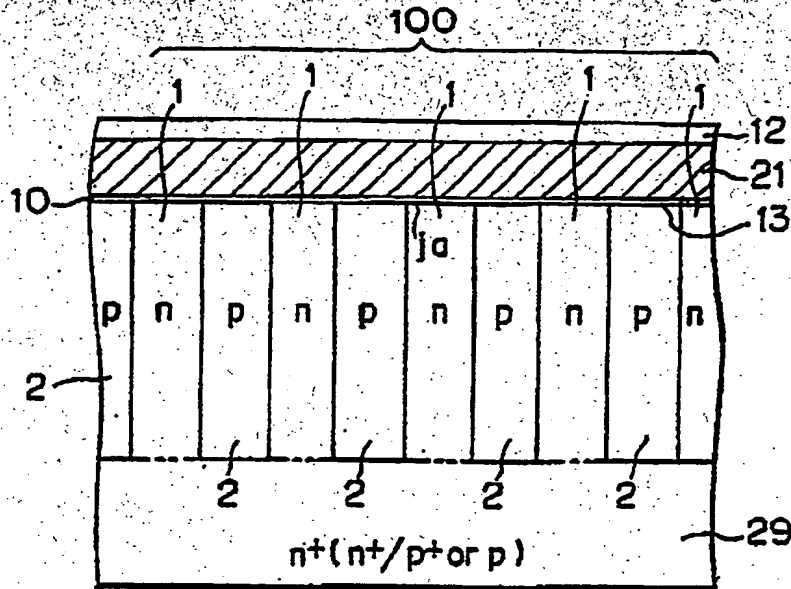
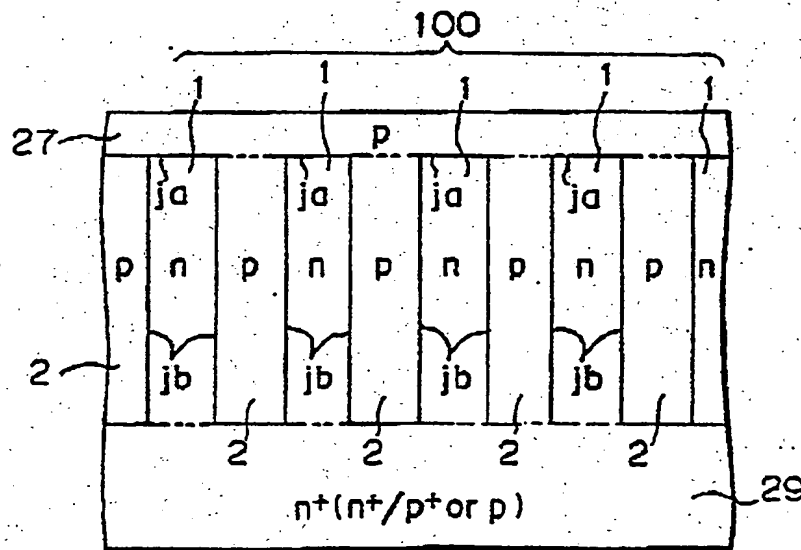


FIG. 12E

DOCKET NO: WMP-171-699 FIG. 12F

SERIAL NO:

APPLICANT: Matthias Seider et al.
 LERNER AND GREENBERG P.A.
 P.O. BOX 2480
 HOLLYWOOD, FLORIDA 33022
 TEL. (954) 925-1100